

PCT

世界知的所有権機関
国際事務局

特許協力条約に基づいて公開された国際出願

(51) 国際特許分類7 H01L 27/108, G11C 11/402	A1	(11) 国際公開番号 WO00/70683 (43) 国際公開日 2000年11月23日(23.11.00)
(21) 国際出願番号 PCT/JP00/03019 (22) 国際出願日 2000年5月11日(11.05.00) (30) 優先権データ 特願平11/132332 1999年5月13日(13.05.99) JP (71) 出願人 (米国を除くすべての指定国について) 株式会社 日立製作所(HITACHI, LTD.)(JP/JP) 〒101-8010 東京都千代田区神田駿河台四丁目6番地 Tokyo, (JP) (72) 発明者 ; および (75) 発明者 / 出願人 (米国についてののみ) 久本 大(HISAMOTO, Dai)(JP/JP) 片山弘造(KATAYAMA, Kozo)(JP/JP) 〒185-8601 東京都国分寺市東恋ヶ窪一丁目280番地 株式会社 日立製作所 中央研究所内 Tokyo, (JP) (74) 代理人 弁理士 小川勝男(OGAWA, Katsuo) 〒103-0025 東京都中央区日本橋茅場町二丁目9番8号 友泉茅場町ビル 日東国際特許事務所 Tokyo, (JP)		(81) 指定国 CN, JP, KR, SG, US, 欧州特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE) 添付公開書類 国際調査報告書
(54)Title: SEMICONDUCTOR MEMORY (54)発明の名称 半導体記憶装置 <div data-bbox="539 1255 1034 1669" data-label="Diagram"> </div> (57) Abstract A semiconductor memory using two transistors, which can be densely packed. A vertical transistor as a write element is stacked on another transistor as a read transistor formed on a substrate and using the lower electrode of the vertical transistor as its gate. The two transistors are field-effect transistors having opposite conductivity types, which allow complimentary operations of memory cells, resulting in a semiconductor memory having desired characteristics and high packing density.		

(57)要約

集積性に優れた2トランジスタによる半導体記憶装置を得る。

縦形トランジスタを書き込み素子に、この縦形トランジスタの下部電極をゲートとする基板に形成した読み出し素子を積層配置し、これらの2つのトランジスタを互いに異なる導電型を持つ電界効果トランジスタにより形成する。これにより、メモリセルの相補的動作が可能となり、優れたメモリ特性を持つ高集積可能な半導体記憶装置が得られる。

PCTに基づいて公開される国際出願のパンフレット第一頁に掲載されたPCT加盟国を同定するために使用されるコード(参考情報)

AE	アラブ首長国連邦	DM	ドミニカ	KZ	カザフスタン	RU	ロシア
AG	アンティグア・バーブーダ	DZ	アルジェリア	LC	セントルシア	SD	スーダン
AL	アルバニア	EES	エストニア	LI	リヒテンシュタイン	SE	スウェーデン
AM	アルメニア	ES	スペイン	LK	スリ・ランカ	SG	シンガポール
AT	オーストリア	FI	フィンランド	LR	リベリア	SI	スロヴェニア
AU	オーストラリア	FR	フランス	LS	レソト	SK	スロヴァキア
AZ	アゼルバイジャン	GA	ガボン	LT	リトアニア	SL	シエラ・レオネ
BA	ボスニア・ヘルツェゴビナ	GB	英国	LU	ルクセンブルグ	SN	セネガル
BB	バルバドス	GD	グレナダ	LV	ラトヴィア	SZ	スワジランド
BE	ベルギー	GE	グルジア	MA	モロッコ	TD	チャード
BF	ブルキナ・ファソ	GH	ガーナ	MC	モナコ	TG	トーゴ
BG	ブルガリア	GM	ガンビア	MD	モルドヴァ	TJ	タジキスタン
BJ	ベナン	GN	ギニア	MG	マダガスカル	TM	トルクメニスタン
BR	ブラジル	GR	ギリシャ	MK	マケドニア旧ユーゴスラヴィア	TR	トルコ
BY	ベラルーシ	GW	ギニア・ビサウ		共和国	TT	トリニダード・トバゴ
CA	カナダ	HR	クロアチア	ML	マリ	TZ	タンザニア
CF	中央アフリカ	HU	ハンガリー	MN	モンゴル	UA	ウクライナ
CG	コンゴ	ID	インドネシア	MR	モーリタニア	UG	ウガンダ
CH	スイス	IE	アイルランド	MW	マラウイ	US	米国
CI	コートジボアール	IL	イスラエル	MX	メキシコ	UZ	ウズベキスタン
CM	カメルーン	IN	インド	MZ	モザンビーク	VN	ベトナム
CN	中国	IS	アイスランド	NE	ニジェール	YU	ユーゴスラヴィア
CR	コスタ・リカ	IT	イタリア	NL	オランダ	ZA	南アフリカ共和国
CU	キューバ	JP	日本	NO	ノルウェー	ZW	ジンバブエ
CY	キプロス	KE	ケニア	NZ	ニュージーランド		
CZ	チェッコ	KG	キルギスタン	PL	ポーランド		
DE	ドイツ	KP	北朝鮮	PT	ポルトガル		
DK	デンマーク	KR	韓国	RO	ルーマニア		

明 細 書

半導体記憶装置

技術分野

本発明は、大規模集積化が可能な絶縁ゲート型電界効果トランジスタを用いた
5 半導体記憶装置に関する。

背景技術

現在の代表的集積半導体記憶装置として、一つの電界効果トランジスタと一つの容量素子で構成するメモリセルからなるダイナミック・ランダム・アクセス・メモリ (DRAM) がある。図1に、このDRAMで用いるメモリセルの等価回路図を示す。このメモリセルは、容量素子C1の持つ電荷量を、情報として保持
10 させる構成である。ワード線WLによりトランジスタT1をオン状態とすることで、容量素子C1の電極に外からアクセスし、電荷量を変えることができる。このメモリセルを用いた集積半導体記憶装置では、容量C1に貯えた電荷をデータ線DLに読み出し、そのデータ線の電位変化を読み取ることで、情報の読み出し
15 操作が行われる。しかし、高集積化を進めるためにセルを微細化すると、容量素子のもつ容量も小さくなり、読み出し信号が小さくなることが知られている。

これを回避する方法として、読み出しの際、保持していた電荷量に比べ大きな信号電荷量を取り出すゲインセルと呼ばれる、電荷を増幅させるメモリセル方式がある。例えば、図2に等価回路図で示すような3素子のダイナミックメモリセル方式が考えられてきた。ここで、RWは読み出しワード線、WWは書き込みワード線、RBは読み出しデータ線、WBは書き込みデータ線である。トランジスタT1を介してトランジスタT2のゲート電極に電荷を保持する。このゲートの電位をトランジスタT3、T2を介して読み出す。このとき、トランジスタT2のゲートに保持された電荷は読み出し動作の影響を受けずに、駆動されたチャネル
20 電荷により信号として取り出されている。すなわちトランジスタT2のゲート電

荷は、トランジスタT2、T3により増幅されたものとみることができる。

しかし、この方式では、3つのトランジスタが必要となるため、集積性が、図1に示したセル構造に比べると低い。また、情報保持性能の信頼性を向上させるには、トランジスタT2のゲートにつながる容量素子を設けるなどの構成を用いることが必要となる。

そこで、2つのトランジスタで動作するゲインセル構造が提案されている。この構造については、1992年インターナショナル エレクトロン デバイス ミーティングのテクニカル ダイジェスト、1006頁から1008頁(International Electron Devices Meeting, pp.1006-1008, 1992)に記載されている。その等価回路を図3に示す。ビット線BLにつながる書き込みトランジスタT1を介してトランジスタT2のゲートG1の電荷を変化させる。トランジスタT2は、積層したゲートG1とゲートG2を持っている。そのため、ゲートG2の電位を変化させることで、連結した容量を介してゲートG1の電位を変化させ、トランジスタT2のチャネルを電界効果トランジスタ動作させることができる。このときゲートG1の電位は、ゲートG1中に保持された電荷量により変えることができる。

この構成の特徴は、書き込みトランジスタT1をPMOSで作り、読み出しトランジスタT2をNMOSで構成している点である。そのため、書き込み、読み出しおよび待機時のワード線操作は、図4に示したようになる。すなわち、書き込み時は書き込みトランジスタT1をオンさせるため、ワード線WLの電圧 V_{wL} を低い書き込み電圧 $V_w(W)$ にし、待機時には保持電圧 $V_w(S)$ に、読み出し時は書き込みとは反対に高い読み出し電圧 $V_w(R)$ に設定する。読み出し時、書き込みトランジスタはオフ状態となるため、メモリセルの持つ情報を非破壊に読み出すことができる。なお、図中 $I(RM'1)$ は読み出し値が'1'となる場合のドレイン電流、 $I(RM'0)$ は読み出し値が'0'となる場合のドレイン電流を示している。

しかし、この構成ではビット線BLが書き込みトランジスタT1および読み出しトランジスタT2の両方の電極につながっており共用されている。そのため、書き込み時にビット線電位によって、読み出しトランジスタT2がオン状態とな

り、消費電流が増大する。また、読み出しトランジスタを多結晶シリコンを用いたTFT (Thin Film Transistor) で構成しているため、読み出し電流が小さい。素子配置においても、平面レイアウトにおいて、2つのトランジスタを並列配置しており、大きな面積が必要となる。

- 5 また、特開平10-200001号公報の図20には、高速・高集積性を実現するメモリデバイスとして、電界効果型トランジスタと縦型構造素子とからなるメモリデバイスが開示されている。縦型構造素子は、電界効果型トランジスタのソース・ドレイン経路上のゲートに相当する部分をメモリノードとし、このメモリノード上に多重トンネル障壁構造からなるトンネル障壁構造を設け、多重トンネル障壁構造の上部に制御電極を、側壁にゲートを設けた素子構造である。

- 10 このメモリデバイスは、制御電極とメモリノード間に電圧を加え、制御電極の電圧を変化させることにより、制御電極からトンネル障壁構造を通り抜けてメモリノードへ達する電子の個数すなわち電荷量を制御できるようにし、さらに側壁に設けたゲートを用いて多重トンネル障壁構造に付加的な電界を印加することにより、電子が多重トンネル障壁構造を通り抜けてメモリノードへ蓄積されるのを制御して書き込むものである。メモリノードに書き込まれた電荷により電界効果型トランジスタのソース・ドレイン経路の伝導性が影響を受けるので、これをモニタすることによりデータを読み出すことができる。

- 15 この縦型構造素子は、側壁に設けたゲートに印加する電圧で多重トンネル障壁構造の障壁の高さを変化させることにより、多重トンネル障壁構造を通り抜ける電子の個数即ち電荷の量を制御する、キャリアがN型の素子とみることができる。また、この多重トンネル障壁構造を用いた縦型構造素子には、キャリアとして正孔（ホール）を制御するという概念は無く、P型の電界効果型トランジスタ動作をする縦型構造素子については考慮されていない。

25 発明の開示

本発明の目的は、消費電力を抑え、良好な読み出し特性を持ち、そして情報保持能力にすぐれた、集積性の高い半導体記憶装置を提供することである。

本発明に係る半導体記憶装置は、基板面に形成される絶縁ゲート型電界効果トランジスタを読み出しトランジスタとし、この読み出しトランジスタのチャネル領域と重なる位置に基板面と直交方向にチャネルを有する絶縁ゲート型電界効果トランジスタ、すなわち縦形構造に形成した絶縁ゲート型電界効果トランジスタ

5 を書き込みトランジスタとした積層構造であり、かつ、書き込みトランジスタと読み出しトランジスタとを反対導電型を用いて形成する。また、積層構造を利用することにより、書き込みトランジスタのビット線と読み出しトランジスタのビット線とを分離する。

本発明の代表的素子構造を示した図5を用いて、これにより得られる効果について説明する。図5において、基板100に作られた拡散層電極220と320をソース、ドレインとし、層350をゲート電極としたNMOS電界効果トランジスタT2が形成されている。また、絶縁膜980を介してチャネルとなる層(以下、チャネル部と呼ぶ)150に電界効果を及ぼすゲート電極500と、電極350と250をソース、ドレインとした縦形配置の電界効果トランジスタT1が

10 配置されている。電極250は高濃度にP型不純物をドーピングすることで導電化された拡散層電極であり、層976はシリコン酸化物で形成された絶縁層である。

この図5に示した構造のメモリセルの等価回路を図6に示す。本素子構造においてトランジスタT1が書き込み素子、トランジスタT2が読み出し素子である。

20 両トランジスタは、互いに反対導電型で構成されており、そのため、前述の公知例と同様に、それぞれのゲート電極は、電氣的に反対方向に動作するため、情報を破壊することなく読み出すことができる。また、両トランジスタは積層されているため、面積を小さくすることができる。読み出し素子T2は、基板をチャネル部としたトランジスタにより形成されているため、良好な読み出し電流を

25 確保することができる。

メモリセル動作について述べる。ここで、D1は読み出しビット線、D2は書き込みワード線、D3は書き込みデータ線、D4は読み出しビット(ワード)線である。書き込みワード線D2によりトランジスタT1をオンさせることで、記

憶保持部（ゲート電極 3 5 0）に書き込みデータ線 D 3 の電位を書き込み、ワード線 D 2 によりトランジスタ T 1 をオフすることで、電荷を保持させる。このとき、読み出しトランジスタ T 2 のゲート電位が決められる。例えば、ゲート電位がトランジスタ T 2 の閾値を超えている場合、読み出しビット線 D 1, D 4 間に電位差を与えると電流が流れる。一方、ゲート電位が閾値より低い場合、読み出しビット線 D 1, D 4 間に電位差を与えても電流は流れない。そのため、この電流によって、ゲート電位を読み出すことができる。

この構造では、書き込み部と読み出し部が、動作上分離されているため、集積化しても、読み出し動作が他のセルの情報を破壊する問題は生じてこない。ここでは、読み出しビット線 D 1 と書き込みワード線 D 2、書き込みデータ線 D 3 と読み出しビット（ワード）線 D 4 が平行になるように配置しているが、読み出しと書き込みが分離されているため、読み出しビット線 D 1 と読み出しビット（ワード）線 D 4、書き込みワード線 D 2 と書き込みデータ線 D 3 が直交するように配置されていけばよい。これについては、あとで実施例においてさらに説明を加える。

また、書き込みと読み出しのワード線を兼用させることができる。動作を説明するために、図 6 に破線を用いて容量素子を描き加えているが、実際の構造においては、電極間にオーバーラップが存在するため、プロセスを追加することなく容量素子を形成することができる。例えば、書き込み素子を P 型、読み出し素子を N 型としたとき、書き込み素子 T 1 はワード線 D 2 に負電位を加えることでオン状態となり、データ線 D 3 の電位が書き込まれる。一方、読み出し素子 T 2 においては、ワード線 D 2 に正電位を加えることで、チャネルはオン状態となる。すなわち、ワード線 D 2 に正電位を加えることで、容量カップリングにより読み出し素子 T 2 のゲートに正電位を与えることができる。このとき、書き込み素子 T 1 においては、よりオフ状態が強まるため、電荷リークを抑えることができる。

これに対して図 2 に示した従来のゲインセルでは、相補的動作ができなかったため、書き込み（消去）時に、最も高いゲート電圧を与え、その情報を破壊しないように、それより、低い電圧で読み出す必要があった。そのため、情報として

使える電位範囲が狭く、多値情報を持たせることが困難であった。

- 相補的動作においては、読み出し時のワード線D2の電位には、こうした制約がないため、少なくとも3つ以上の情報、すなわち多値の情報（多段階の電位状態）を用いることができる。また、読み出し時のゲート電位にデータ破壊による
- 5 制約がないことから、自由に印加電位を与えることができるため、保持電荷状態を、デジタル化したものではなく連続した状態として読み出すこともできる。また、ゲート印加電圧と保持電荷状態により読み出し結果が与えられることから、これを用いて演算処理を行うことができる。

図面の簡単な説明

- 10 図1は従来の半導体記憶装置を示すメモリセルの等価回路図、
図2は従来の半導体記憶装置を示す別のメモリセルの等価回路図、
図3は従来の半導体記憶装置を示すまた別のメモリセルの等価回路図、
図4は図3に示したメモリセルの動作を説明する電位関係図、
図5は本発明の代表的素子構造を説明する素子断面模式図、
- 15 図6は図5に示した本発明素子構造の等価回路図、
図7は本発明に係る半導体記憶装置の第1の実施例を示すメモリセルの断面構造図、
図8は図7に示したメモリセルの平面配置の一例を示す平面レイアウト図、
図9は図7に示したメモリセルの製造方法を工程順に説明する最初の断面構造図、
- 20 図、
図10は図9に示した製造工程の次の工程を説明する断面構造図、
図11は図10に示した製造工程の次の工程を説明する断面構造図、
図12は図11に示した製造工程の次の工程を説明する断面構造図、
図13は従来の不揮発性メモリを用いたゲインセルでの多値動作を示す電位関係図、
- 25 図、
図14は図7に示したメモリセルの平面配置の別の例を示す平面レイアウト図、
図15は図7に示したメモリセルの別の配線例を示す等価回路図、

図 1 6 は図 1 5 に示した配線例の平面レイアウト図、

図 1 7 は図 7 に示したメモリセルのまた別の配線例を示す等価回路図、

図 1 8 は図 1 7 に示した配線例の平面レイアウト図、

図 1 9 は OR ゲートを構成する場合のメモリセルの配線例を示す等価回路図、

5 図 2 0 は AND ゲートを構成する場合のメモリセルの配線例を示す等価回路図、

図 2 1 は AND ゲートを構成する場合のメモリセルの別の配線例を示す等価回路図、

図 2 2 は本発明に係る半導体記憶装置の第 2 の実施例を示すメモリセルの断面構造図、

10 図 2 3 は図 2 2 に示したメモリセルの製造方法を工程順に説明する最初の断面構造図、

図 2 4 は図 2 3 に示した製造工程の次の工程を説明する断面構造図、

図 2 5 は図 2 4 に示した製造工程の次の工程を説明する断面構造図、

図 2 6 は図 2 5 に示した製造工程の次の工程を説明する断面構造図、

15 図 2 7 は図 2 6 に示した製造工程の次の工程を説明する断面構造図、

図 2 8 は図 2 7 に示した製造工程の次の工程を説明する断面構造図、

図 2 9 は図 2 2 に示したメモリセルの別の製造方法を工程順に説明する最初の断面構造図、

図 3 0 は図 2 9 に示した製造工程の次の工程を説明する断面構造図、

20 図 3 1 は図 3 0 に示した製造工程の次の工程を説明する断面構造図、

図 3 2 は図 3 1 に示した製造工程の次の工程を説明する断面構造図、

図 3 3 は図 3 2 に示した製造工程の次の工程を説明する断面構造図、

図 3 4 は図 3 3 に示した製造工程の次の工程を説明する断面構造図、

図 3 5 は図 3 4 に示した製造工程の次の工程を説明する断面構造図、

25 図 3 6 はメモリセルアレイの一例を示す等価回路図、

図 3 7 はメモリセルアレイの別の例を示す等価回路図、

図 3 8 はメモリセルのまた別の製造方法を工程順に説明する最初の断面構造図、

図 3 9 は図 3 8 に示した製造工程の次の工程を説明する断面構造図、

- 図 4 0 は図 3 9 に示した製造工程の次の工程を説明する断面構造図、
図 4 1 は図 4 0 に示した製造工程の次の工程を説明する断面構造図、
図 4 2 は図 4 1 に示した製造工程の次の工程を説明する断面構造図、
図 4 3 は図 4 2 に示した製造工程の次の工程を説明する断面構造図、
5 図 4 4 は図 4 3 に示した製造工程の次の工程を説明する断面構造図、
図 4 5 は図 4 4 に示した製造工程の次の工程を説明する断面構造図、
図 4 6 は図 4 5 に示した製造工程の次の工程を説明する断面構造図、
図 4 7 は図 4 6 に示した製造工程の次の工程を説明する断面構造図、
図 4 8 はメモリセルのまた別の平面配置例を示す平面レイアウト図、
10 図 4 9 は本発明に係る半導体記憶装置のメモリセルの更に別の実施例を示すメモリセルの断面構造図である。

発明を実施するための最良の形態

以下、本発明について添付図面を参照しながら詳細に説明する。

<実施例 1>

- 15 図 7 は本発明に係る半導体記憶装置の代表的な素子断面構造を示す図、また図 8 は二つのメモリセルを用いて基本単位とした場合の平面レイアウトの一例を示した図である。図 8 中に示した破線の矩形領域は、2 ビットの領域を示している。また、図 8 中の参照符号 1 0 で示した部分は読み出し素子 T 2 の一方の拡散層電極（ソース又はドレイン電極）と配線層 D 4 とを接続するコンタクトホール、
20 1 は読み出し素子 T 2 の他方の拡散層電極（ドレイン又はソース電極）と配線層 D 1 とを接続するコンタクトホール、斜線で示した領域 1 2 は書き込み素子 T 1 の柱状領域であり、1 3 は浅溝素子分離絶縁膜の境界領域である。なお、D 1 は図 6 の読み出しビット線 D 1 に対応する配線層、D 2 は図 6 の書き込みワード線 D 2 に対応する配線層、D 3 は図 6 の書き込みデータ線 D 3 に対応する配線層、
25 D 4 は図 6 の読み出しビット（ワード）線 D 4 に対応する配線層である。

さらに、図 8 には一点鎖線の A-A 線および B-B 線により、以下に図 9 から図 1 2 を用いて説明する製造工程の断面位置を示した。これらの図 9 から図 1 2

において左側がA-A線に沿った断面、右側がB-B線に沿った断面である。

図7において、参照符号250, 350は縦型構造トランジスタのソース、ドレインとなる層である。ゲート500が、チャンネル部150に対して絶縁膜980を介して電界効果を両側から及ぼしている。これが、書き込み用トランジスタT1を形成する。また、単結晶基板100に形成された拡散層電極220および320をソース、ドレインとし、書き込み用トランジスタT1の層350をゲートとするトランジスタは、絶縁膜970を介してゲート350がソース、ドレイン間のチャンネルに電界効果をおよぼし、電界効果型トランジスタ動作を得ることができる。これが、読み出し用トランジスタT2を形成する。

この図7に示した構造では、拡散層220, 320と、拡散層250, 350とは反対導電型不純物により形成された拡散層電極のため、異なる導電型を持ったトランジスタの積層が実現できている。拡散層250と、金属シリサイドにより形成された層251とは図6の書き込みデータ線D3に対応する積層された配線層であり、参照符号976で示した層は絶縁膜層、985は層間絶縁膜、986は絶縁膜、600は図6の配線D4に対応する配線層である。

以下、図9から図12を用いてその製造工程を説明する。まず、図9に示したように、P型シリコン基板100を用いて、既知の浅溝アイソレーション法により、素子分離層900を形成する。ここで、イオン打ち込み法を用いてチャンネルドーピングすることにより、読み出し素子T2の必要な閾値に設定することができる。基板表面を酸化し、さらにCVD (Chemical Vapor Deposition) 法を用いてシリコン窒化膜を積層することにより、ゲート絶縁膜970を形成する。その後、読み出し素子T2のゲート、かつ、書き込み素子T1のソースまたはドレイン電極となるP型不純物をドーピングした多結晶シリコン350と、微量のN型不純物を含んだ多結晶シリコン層150とを堆積する。そして、図8に示したA-A線と平行方向に周知のホトリソグラフィ技術を用いてパターンニング加工することにより溝を形成する。これにより、B-B線に沿った断面においては、絶縁膜層970が現れる。

次に、図10に示すように、絶縁膜975を堆積後、CMP (Chemical

Mechanical Polishing) 法を用いて、溝以外に堆積した絶縁膜 975 を取り除くことにより、多結晶シリコン層 150 の頭部が現れるように平坦化する。CVD 法を用いて P 型不純物をドーピングした多結晶シリコン層 250 およびタングステンシリサイド層 251 を積層し、さらにシリコン窒化物層 976 を堆積する。

- 5 次に、図 11 に示すように、これらの積層膜を図 8 に示した B-B 線と平行方向に溝状にパターニング加工することにより、多結晶シリコン層 250 と金属シリサイド層 251 からなるデータ線 D3 および、書き込み素子 T1 の縦形構造を形成する。そして、該積層構造をマスクとして N 型不純物をイオン打ち込みすることにより読み出し素子 T2 の拡散層電極 220, 320 を形成した後、表面に窒化物を積層したゲート絶縁膜層 980 を堆積する。
- 10

次に、図 12 に示すように、書き込み素子 T1 のゲートとなる不純物を高濃度にドーピングすることにより金属化した層 500 を堆積し、パターニング加工することでワード線 D2 を加工する。

- 以下、層間絶縁膜を堆積し、さらに 2 層配線を行うことにより、読み出し素子
- 15 T2 の拡散層電極 220, 320 に対する配線 D1, D4 を形成する。これにより、図 7 に示した構造のメモリセルを得ることができる。

- 本構造では、書き込み素子 T1 が多結晶シリコンを用いた P 型の MOSFET、読み出し素子 T2 が基板単結晶シリコンを用いた N 型の MOSFET により構成されており、優れた読み出し特性を有する積層構造の 2 トランジスタメモリセル
- 20 が形成できている。図 6 におけるワード線 D2 の電位を、負側に動作させることにより、書き込みトランジスタ T1 をオン状態とし、データ線 D3 の電位を書き込むことができる。一方、ワード線 D2 を正側とすることにより、読み出しトランジスタ T2 をオン状態にすることができる。このとき、書き込み素子 T1 は、よりオフ状態となるため、読み出し素子 T2 のゲートに書き込まれた情報は破壊
- 25 されることがない。このときの保持電荷量により、読み出し素子 T2 の状態を変えることができる。

また、読み出し素子 T2 の拡散層電極 220, 230 が別々のビット線 D1, D4 により引き出され、さらに、この実施例では直交配置されている。そのため、

ビット線D1, D4により読み出すセルの選択を行うことができる。すなわち、ワード線D2の電位を変えなくても、ゲート350に対する拡散層電位を変えることにより、ゲート350に保持された電荷量を読み出すことができる。もちろん、ワード線D2の電位と組み合わせて動作させることもできる。

- 5 図13は、従来のいわゆる不揮発性メモリ（例えばEEPROMやFLASHと呼ばれる）を用いたゲインセルでの動作を示すものである。ここでは、多値動作を示す例として3値、‘-1’、‘0’、‘1’とし、縦軸にドレイン電流、横軸にワード線の電圧 V_{WL} をとり、それぞれの読み出し時の状態を模式的に表わしている。なお、図中 $I(RM\ '1')$ は読み出し値が‘1’となる場合のドレイン電流、 $I(RM\ '0')$ は読み出し値が‘0’となる場合のドレイン電流、 $I(RM\ '-1)$ は読み出し値が‘-1’となる場合を示している。また、 $V_w(S)$ は保持電圧、 $V_w(R)$ は読み出し電圧である。
- 10

- 書き込み（消去）時に、最も高いゲート電圧を与え、その情報を破壊しないように、それより、低い電圧で読み出す必要があった。ワード線の書き込み電圧 $V_w(W)$ を V_{m1} 、保持している情報を破壊せずに読み出すための動作マージンが V_{m2} である。そのため、情報として使える電位範囲は V_{m1} と V_{m2} の差で示される狭い範囲になってしまっている。さらに多値情報を持たせるには、この電位範囲を分割する必要がある、メモリ動作させることが困難であった。相補的動作においては、読み出し時のワード線電位には、こうした制約がないため、多値
- 15
- 20 の情報（多段階の電位状態）を用いることができる。

- また、書き込み動作においても、これまでの不揮発性メモリでは、高電界により発生するキャリアの注入量により、保持する電荷量を変えていた。そのため、多値動作させるには、例えば書き込み注入量を時間等で制御し、ペリファイと呼ばれる検証動作を繰り返しながら書き込む必要があった。本発明構造の多値動作
- 25 では、基本的には注入電荷量を制御するというより、トランジスタのチャネルを用いて書き込むため、電位そのものを制御することができる。すなわち、書き込み素子T1のデータ線D3の電位を書き込むものであり、こうした検証動作は行わずに例えば、少なくとも3つの複数のメモリセルがある場合に1回のサイクル

で少なくとも3つの電荷状態を書き込む動作、すなわち多値動作をさせることができる。

図14はメモリセルの配置例を示したもので、図8に示した基本単位2つを配置する例を示している。読み出し素子T2の配線は2層配線をとっているため、
5 交互に繰り返す配置をとることで、図中ハッチングで示したD1配線を、高密度にレイアウトすることができる。ここでは、2層配線に引き上げているが、片方を基板に形成した拡散層配線により形成してもよい。この場合、配線層形成工程を1層分低減することができる。

また、読み出し素子のビット配線D1、D4は、一方を基板電位と同じ電位に
10 固定して動作させることができる。この場合、拡散層と基板を電氣的に短絡させ、同電位に固定することができる。この方式においても基板を給電部とすることができるため配線形成を容易にすることができる。

この構造では、すべての拡散層電極に個別配線をおくことができることから、さまざまなメモリアレイ配置をとることが可能になる。図15に読み出しビット
15 線D1、書き込みデータ線D3、読み出しビット（ワード）線D4配線が平行に置かれ、これらと直交するように書き込みワード線D2が置かれた例を示す。1ビットのメモリセルにより、実際のレイアウト例を図16に示す。なお、図15の回路図において、縦型構造素子の書き込み素子T1については、通常MOS
20 トランジスタと区別するため、通常MOSトランジスタ記号に代えて、チャンネル部に相当する部分を点線にしたトランジスタ記号で示している。

また、読み出しビット線D1、書き込みワード線D2、読み出しビット（ワード）線D4を平行に配置し、これらと直交して書き込みトランジスタT1のデータ線D3を配置する例を、図17に等価回路図を用いて示す。このときの実際のレイアウト例を1ビットのメモリセルを用いて図18に示した。

25 本発明メモリセルの特徴は、前述したように、すべての端子が別れて引き出すことができており、かつ、非破壊にデータを読み出すことにある。この特徴は、メモリセルを用いて演算ができることを示している。代表的なOR演算の構成例を図19に示す。すなわち、読み出し線D1、D4を共有するように、メモリセ

ルを並列配置させることができる。これにより、メモリセルの読み出し操作によってOR演算回路を実現することができる。ここでは、ワード線D2をセル毎に配置したが、書き込み素子T1のデータ線D3が分離されているため、ワード線は共有させることができる。

- 5 図20にAND演算を行わせるための縦積みしたセル配置例を示す。すべてのセルの読み出しトランジスタT2がオン状態のときと、それ以外を演算処理する回路構成となる。ここでは、それぞれのセルのワード線D2を分離することにより、書き込み素子T1のデータ線D3を共用できる例を示したが、もちろん、図21に示すように、ワード線D2を共通化し、個別の書き込み素子T1へのデータ線D3を置くことができる。
- 10

ここで示したORおよびANDの演算回路の構成例は演算の基本であり、これらを組み合わせることにより様々な演算処理ゲートを組むことができる。

<実施例2>

- 本発明構造のメモリセルの電荷保持能力を高くすることで、いわゆる不揮発性メモリのようにした第2の実施例を図22に示す。なお、図22において、第1の実施例の図5に示した構成部分と同じ構成部分には同じ参照符号を付してある。
- 15

- 図22の素子構造は、図5に示した本発明の代表的素子構造において、電極350とチャネル部150との間に絶縁膜931を挟んだ構造となっている。すなわち、電極350は周囲を絶縁膜により囲まれているため、いわゆるフローティングゲートのような構造になっている。
- 20

一方、書き込み素子動作を得るために、絶縁膜931は極めて薄くし、電荷がトンネル現象により透過できるようにしてある。これにより、絶縁膜931を挟んでいても、書き込み素子T1の基本動作は前記実施例と同じものを得ることができる。

- 25 この場合の特徴は、トンネル絶縁膜931を挟んで置かれたチャネル部150がゲート500の電界効果により制御されているため、電極350からの電荷リークを極めて低くすることができることである。また、電極350を金属材料を用いて形成することにより絶縁膜931との障壁高さを調整することができるの

で、これによりトンネル電流を制御することができる。

この素子の動作について、以下考察する。この素子構造では、記憶保持部となる電極 350 の電荷リークを抑えるため、金属と半導体の間に電荷のリークを妨げる障壁となる絶縁層を挟む構造をとっているものとみることができる。すなわち、ショットキー接合ではショットキーバリアと呼ばれる障壁 P_m によりリーク電流を抑えている。そこに、ショットキー障壁 P_m に比べ、より大きな障壁高さ P_i を持った絶縁膜 931 をはさむことにより、金属側から半導体側に通り抜けるキャリアを低減することができる。

このショットキー接合に代えて絶縁層を挟んだ構造の接合は、MIS 接合として知られている。例えば、Sze 著のフィジックス オブ セミコンダクタ デバイ
10 シーズ、第 2 版、ジョンウィリー アンド サンズ (Physics of Semiconductor Devices, second edition, JOHN WILEY & SONS) の 540 頁から 553 頁に記述されている。このように高い障壁高さ P_i を持つ絶縁層を挟んでも、絶縁層の膜厚を極めて薄くすることにより、トンネル現象を促進できることから、接合のスイ
15 ッチング動作をさせることができる。

一般に、この絶縁膜をトンネル現象により通り抜けるキャリアは、障壁高さ、膜厚、およびキャリアのエネルギーに依存している。デバイス構造としては、金属材と絶縁膜間の障壁高さ、絶縁膜の膜厚、非平衡状態のポテンシャル分布を制御することにより、リーク電流を制御することができる。また、これまで、読み
20 出し素子 T2 の性能を良好にするため、読み出し素子に N 型を用いてメモリセルを構成してきた。しかし、ここで示したトンネルを用いた電界効果トランジスタを書き込み素子 T1 として用いた場合には、書き込み素子の駆動力が良いことから、書き込み素子を N 型で形成し、読み出し素子を P 型で形成することで優れた特性を得ることができる。

25 本実施例の構造では、縦形のチャネル配置をとることにより、平面面積を増やすことなくチャネル長の大きなデバイスを形成している。これにより、短チャネル化によるリーク電流の増大を抑えることができる。さらに、ゲートを両側に配置することで、より有効に電界効果を活かすことができるようになる。この縦形

構造をとることで、従来困難であった非対称型系のトランジスタを容易に形成することができるようになっていく。そのため、絶縁膜 9 3 1 による障壁は縦型構造素子の蓄積ノードとなる片側の電極 3 5 0 のみに接して形成することができおり、駆動力の低下を抑制することができる。

- 5 図 2 2 に示した構造の代表的なメモリセルの製造方法を図 2 3 から図 2 8 を用いて、工程順に説明する。これらの図は断面構造を示しており、また、中央のギャップを挟んで左右でそれぞれ別の断面での様子を示している。

- 10 先ず、図 2 3 に示すように、シリコン基板 1 0 0 上に通常の MOS L S I 形成に用いられる浅溝素子分離法により、素子分離絶縁膜 9 0 0 を形成した後、露出したシリコン表面を熱酸化し、読み出し素子 T 2 用ゲート絶縁膜 9 7 0 を形成する。その上に、記憶ノードとなる金属電極 3 5 0 およびトンネル膜 9 3 1、チャネル部となる層 1 5 0 を積層する。

- 15 この場合、障壁高さは絶縁膜 9 3 1 との界面により決められるため、金属電極 3 5 0 を積層構造にすることができる。すなわち、ゲート絶縁膜 9 7 0 上に高濃度に不純物をドーピングし活性化した多結晶シリコン層を置いてから、金属層たとえばチタンシリサイドを堆積し、さらにチタン酸化膜を堆積した後、チャネル部 1 5 0 となる多結晶シリコン層を置くことができる。

- 20 チャネル部となる多結晶シリコン堆積前にニッケル薄膜を堆積し、その後、アモルファス状のシリコンを堆積し、5 0 0℃～6 0 0℃の低温熱処理を加えてアモルファスの結晶化をさせることにより、良好な結晶性をもったチャネル部を形成することができる。結晶化後、表面側に移動してきたニッケル層を除去することができる。

- 25 次に、図 2 4 に示すように、チャネル部となる多結晶シリコン層 1 5 0、トンネル膜 9 3 1 および電極 3 5 0 をホトレジスト法によりパターンニング加工し、イオン打ち込み法により拡散層 2 2 0 を形成する。

次に、図 2 5 に示すように、基板上に酸化膜 9 2 1 を堆積した後、CMP 法により平坦化し、多結晶シリコン 1 5 0 が露出するまでエッチバックする。

次に、図 2 6 において、不純物拡散抑制のために薄い窒化膜（不図示）を形成

したのち、書き込み素子T1のデータ線D3となる高濃度不純物をドーピングした多結晶シリコン250と、電極保護膜950とを積層し、この積層膜をパターンニング加工する。このときドーピングする不純物により、書き込み素子T1の導電型を決めることができる。N型とする場合には、例えばヒ素をドーピングし、

5 P型とする場合にはボロンをドーピングすればよい。多結晶シリコンに代えて、シリコン・ゲルマニウム混晶に、N型の場合はヒ素を、P型の場合はボロンをドーピングしたものをを用いることができる。これにより、低温でも不純物を活性化することができる。

次に、図27に書き込み素子T1のゲート形成部の酸化膜をエッチングして溝

10 を形成し、露出したチャネル部150の側面等にゲート絶縁膜980を堆積する。拡散層上に形成した絶縁膜は、耐圧劣化が大きいことが知られている。そのため、ここでは、スペーサとなる絶縁膜935を置いて耐圧向上を図っている。スペーサおよび拡散層を除き、基板上にゲート絶縁膜を形成することで、拡散層220の代わりにゲートの電界効果による反転層によりソース、ドレインを形成しても

15 よい。

次に、図28に示すように、ゲートとなる電極層500を堆積後、書き込み素子T1のワード線D2としてゲート電極層500をパターンニング加工する。

以上のようにして本メモリセルは、シリコン基板100上に形成されているので、従来のMOSFETと整合性よく集積することができる。

20 上記とは異なる本実施例のメモリセルの製造方法を、図29から図35を用いて説明する。これらの図においては、前記と同じく、2つの断面構造を合わせて示している。

まず、図29に示すように、素子分離領域900を形成したシリコン基板100上に、読み出し素子T2のゲート絶縁膜970、記憶ノードとなる電極350、

25 トンネル膜931、チャネル部となる多結晶シリコン150、上部電極250、電極保護膜950を積層する。

次に、図30に示すように、読み出しデータ線方向に溝状に積層膜をパターンニング加工し、イオン打ち込み法により拡散層220を形成する。

次に、図31に示すように、データ線と直交するワード線方向にワード線パターンにより積層膜を加工する。

次に、図32に示すように、ゲート絶縁膜980を形成後、ゲートとなる電極層500を堆積しエッチングすることにより、柱状積層膜周囲にスペーサ状のゲート電極500を形成する。この時、図中右に示したようにワード線方向の柱間隔を、データ線方向（図中左）に比べ狭くし、かつ、ゲート電極層500の堆積厚さをワード線方向間隔の1/2以上、データ線方向間隔の1/2以下とすることで、ワード線方向のみ、自己整合的にゲート電極を接続することができる。

次に、図33に示すように、層間絶縁膜921を堆積後、平坦化し、電極保護膜950を露出させる。

次に、図34に示すように、電極保護膜950を除去し、金属配線層625を堆積後、パターニング加工することにより、書き込み素子T1のデータ線D3を形成することができる。

また、本メモリセルの製造方法において、ゲート電極層500の形成前（図31の後）に、一旦酸化膜で平坦化し、エッチバックすることにより、図35に示すように、スペーサ層935を形成することができる。このスペーサ層935により、書き込み素子T1と読み出し素子T2の相互干渉を減らし、また読み出し素子T2の耐圧を向上することができる。スペーサ層935の材料としては、例えば、シリコン酸化膜を用いることができる。

本実施例の素子構造では、図36に示すように、多段のメモリセルを積み重ねる、いわゆるNAND型のアレイを組むことが有効である。相補的に働かせることができるため、同一の読み出しデータ線であるB00、B11、B22に連なるセルを、A00からA77に順次電圧を加えることにより読み出すことができるためである。そのため、データ線B00、B11、B22が、拡散層とチャネルによって形成されるので、配線およびコンタクトの形成を減らすことができる。したがって、メモリセルの微細化が容易になり、高集積化することが可能になる。なお、D00、D11、D22は書き込みデータ線である。

図37は、本実施例のメモリセルをアレイ状に配置した一例を示したものであ

る。同図において、参照符号C0は書き込みワード線のドライバ部、C1は書き込みデータ線のドライバ部、C2は読み出しワード線のドライバ部、C3は読み出しデータ線のセンス部である。

- 本メモリ素子の構造におけるリーク電流の抑制は、電極350とチャネル部150に挟まれた絶縁膜931のトンネル現象をゲート電極500により有効に制御することで成り立っている。すなわち、書き込み素子T1のゲート500と記憶保持部である電極350の電位関係を保持することが、リーク電流低減において重要である。そこで、本メモリ素子応用において、書き込みワード線のある電位状態で安定化することができる装置Rをおくことにより、電力を使わずに、常にリークを抑えた状態を維持することができる。これにより、不揮発性メモリの動作が可能となるため極めて有効である。例えば、装置Rとして抵抗を接続することで、電位を通常、接地電位となるようにすることができる。すなわち、この記憶装置が電源から切り離されても、ワード線は接地電位に固定されてリーク電流を抑制できるため、長時間、情報を保持し続けることができる。装置Rとして抵抗を用いた場合、動作状態、すなわちワード線が選択された状態では、消費電力を増大させることになるが、選択されるワード線は最大でもアレイ中一本であり、適当な大きさの抵抗を選ぶことにより、それほど消費電力を増大させることなく良好な情報保持特性を得ることができる。

<実施例3>

- 本発明に係るメモリセルのその他の製造方法を、図38から図48を用いて説明する。図48はメモリセルのレイアウト例であり、ここでは、12セルを用いて示している。また、図38から図47は図48に示したA-A線、B-B線に沿った断面を、それぞれ左、右に分けて同時に示したものである。なお、レイアウト図において、参照符号A11～A66は書き込みデータ線、B11～B44は読み出しビット線、D00～D33は読み出しビット線または読み出しワード線である。書き込みワード線は横方向ハッチング部上に置かれる。

先ず、図38に示すように、本実施例ではSOI (Silicon On Insulator) 基板を用いてメモリセルを形成する方法を示す。勿論、前記メモリセルにおいても、

読み出し素子T2をSOI基板に形成できることは明白である。埋め込み酸化膜960上にシリコン層(SOI)101、および、保護層910を持ったウエハを用いる。

次に、図39に示すように、既知の浅溝分離法により素子分離領域900および保護膜910を再び形成する。

次に、図40に示すように、コンタクト形成部の保護膜910を開口し、高濃度ドープした多結晶シリコン360を堆積し、読み出しワード線(図中左側)および引き出し層(図中右側)をパターンニング加工する。その後、多結晶シリコン360の表面及び側面に絶縁膜911, 912を形成する。

次に、図41に示すように、引き出し層上部にコンタクトを開口し、再び高濃度ドープした多結晶シリコン660を堆積し、読み出しデータ線(図41の右側に示した図)を形成する。また、熱処理を加えることにより多結晶シリコン360を拡散源として必要な拡散層220を形成する。なお、参照符号913は絶縁膜であり、この層をマスクに多結晶シリコン660をパターン以外の所から完全に
15 取り除くことができる。これにより図48の配線D00, D11, D22, D33を形成することができる。

次に、図42に示すように、層間絶縁膜922および923を堆積した後、表面をCMP法により平坦化する。

次に、図43に示すように、書き込み素子形成部の層間絶縁膜922, 923
20 および保護膜910を除去し、シリコン層101の表面を露出させる。

次に、図44に示すように、ゲート酸化膜970を形成後、金属電極350、トンネル膜931、多結晶シリコン150を積層する。

次に、図45に示すように、該積層膜を層間絶縁膜923表面まで柱状に加工した後、層間絶縁膜921を堆積し、エッチバックすることにより、多結晶シリ
25 コン層150を露出させる。

次に、図46に示すように、絶縁膜924をもった書き込みデータ線250を形成し、層間絶縁膜926により平坦化する。

次に、図47に示すように、層間絶縁膜926, 921にゲートパターンによ

る溝を形成し、ゲート絶縁膜 980 および書き込みワード線 500 を形成する。

上述した製造方法により、すぐれた書き込み、記憶保持性能を有する半導体記憶装置を形成することができる。

<実施例 4>

- 5 図 49 に読み出し素子 T2 の異なる実施例を示す。書き込み時には、読み出し素子表面が、ワード線 500 により蓄積状態となり、強くオフ状態に保たれている。また、保持状態においてもワード線が読み出し素子特性を制御することになり、ワード線による制御性を高くすることができる。そのため読み出し素子の電極電位設定の自由度を大きくすることができる。
- 10 ここでは読み出し素子 T2 のゲート 350 を層 L1 と L2 の積層構造とすることで、閾値を設定できることを示している。すなわちゲート 350 は、シリコン・ゲルマニウム混晶の層 L1 とタングステンシリサイドの層 L2 との積層により形成されている。このとき混晶の組成を変えることにより仕事関数を変えることができるため、読み出し素子の閾値を変えることができる。
- 15 産業上の利用可能性
- したがって、本発明に係る半導体記憶装置は、2つの電界効果型トランジスタを用いて書き込み素子と読み出し素子を形成した半導体記憶装置において、2つの電界効果型トランジスタを互いに反対導電型の素子により形成することにより、相補的動作を行うことができ、情報を非破壊的に読み出すことができるようになる。
- 20 る。また、一方を縦形構造のトランジスタを用いることにより2つのトランジスタを積層することができ、集積性の優れた半導体記憶装置の実現に有効である。

請 求 の 範 囲

1. 基板面に直交方向に配置されたチャネルを持つ縦形トランジスタからなる第1の絶縁ゲート型電界効果トランジスタと、

5 基板面に形成されるチャネル領域が基板面に対して前記第1の絶縁ゲート型電界効果トランジスタのチャネルと重なる位置に配置された第2の絶縁ゲート型電界効果トランジスタとを有し、

前記第1の絶縁ゲート型電界効果トランジスタと前記第2の絶縁ゲート型電界効果トランジスタが互いに異なる導電型を持つことを特徴とする半導体記憶装置。

10 2. 請求の範囲第1項に記載の半導体記憶装置において、

前記第1の絶縁ゲート型電界効果トランジスタはソースとなる電極と、ドレインとなる電極と、これらの両電極間に設けられた半導体チャネル部とからなり、前記両電極の少なくとも蓄積ノードとなる電極が金属材料により形成される金属電極であることを特徴とする半導体記憶装置。

15 3. 請求の範囲第2項に記載の半導体記憶装置において、

前記金属電極と前記半導体チャネル部の間に前記金属電極に接して絶縁膜が配置されていることを特徴とする半導体記憶装置。

4. 請求の範囲第3項に記載の半導体記憶装置において、

20 前記金属電極が不純物を高濃度に含むことにより金属化された多結晶シリコンからなることを特徴とする半導体記憶装置。

5. 請求の範囲第2項に記載の半導体記憶装置において、

25 前記金属電極が仕事関数の異なる少なくとも2つの材料の積層膜からなり、該積層膜からなる金属電極が前記第2の絶縁ゲート型トランジスタのゲート電極を兼ね、該ゲート電極の仕事関数と、前記第2の絶縁ゲート型トランジスタのソース、ドレインとなる電極の仕事関数とが異なることを特徴とする半導体記憶装置。

6. 請求の範囲第1～5項のいずれか1項に記載の半導体記憶装置において、
前記第1の絶縁ゲート型電界効果トランジスタが情報書き込み素子であり、
前記第2の絶縁ゲート型電界効果トランジスタが読み出し素子であることを特徴とする半導体記憶装置。

5 7. 請求の範囲第6項に記載の半導体記憶装置において、

前記書き込み素子のゲート電極と、ドレイン電極またはソース電極、前記読み出し素子のソース電極、およびドレイン電極の4端子に独立に電位を与えることができるように配線されたことを特徴とする半導体記憶装置。

8. 請求の範囲第7項に記載の半導体記憶装置において、

10 情報読み出し時に、書き込み素子のゲート電極電位を変えずに、読み出し素子のソース、ドレイン電位を変化させることにより、読み出し操作を行うことを特徴とする半導体記憶装置。

9. 基板面に直交方向に配置されたチャネルを持つ縦形トランジスタからなる第1の絶縁ゲート型電界効果トランジスタと、

15 基板面に形成されるチャネル領域が基板面に対して前記第1の絶縁ゲート型電界効果トランジスタのチャネルと重なる位置に配置された第2の絶縁ゲート型電界効果トランジスタとを有し、かつ、

前記第1の絶縁ゲート型電界効果トランジスタと前記第2の絶縁ゲート型電界効果トランジスタが互いに異なる導電型を持つ半導体記憶装置の動作方法であって、
20

前記第1の絶縁ゲート型電界効果トランジスタを情報の書き込み素子とし、前記第2の絶縁ゲート型電界効果トランジスタを情報の読み出し素子として、
情報読み出し時に、前記書き込み素子のゲート電位を $V_w(W)$ 、保持時のゲート電位を $V_w(S)$ 、読み出し時のゲート電位を $V_w(R)$ としたとき、

25 書き込み時と保持時の電位差 $|V_w(W) - V_w(S)|$ に比べ、書き込み時と読み出し時の電位差 $|V_w(W) - V_w(R)|$ が大きいことを特徴とする半導体記憶装置の動作方法。

10. 基板面に直交方向に配置されたチャネルを持つ縦形トランジスタからな

る第 1 の絶縁ゲート型電界効果トランジスタと、

基板面に形成されるチャネル領域が基板面に対して前記第 1 の絶縁ゲート型電界効果トランジスタのチャネルと重なる位置に配置された第 2 の絶縁ゲート型電界効果トランジスタとを少なくとも有し、かつ、

- 5 前記第 1 の絶縁ゲート型電界効果トランジスタと前記第 2 の絶縁ゲート型電界効果トランジスタが互いに異なる導電型を持ち、

前記第 1 の絶縁ゲート型電界効果トランジスタを情報の書き込み素子とし、前記第 2 の絶縁ゲート型電界効果トランジスタを情報の読み出し素子とする半導体記憶装置を複数用いてアレイ状に配置され、

- 10 前記読み出し素子のソース、ドレイン電極に接続された配線層が直交するように平面配置されていることを特徴とする集積半導体記憶装置。

1 / 2 5

図 1

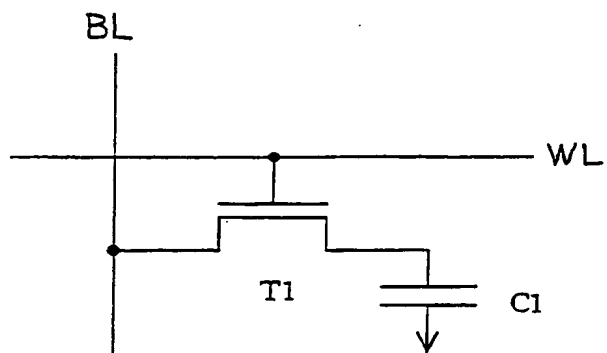
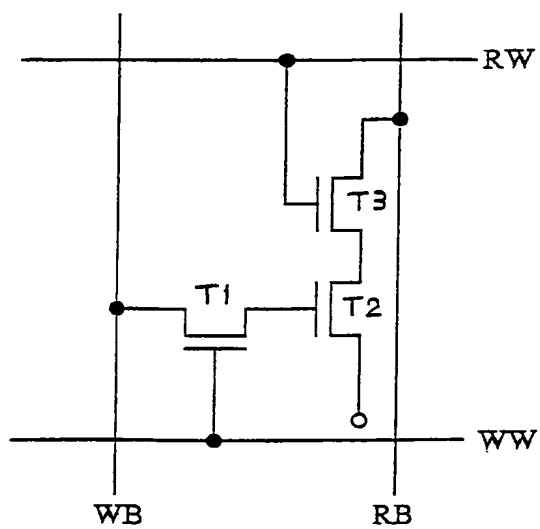
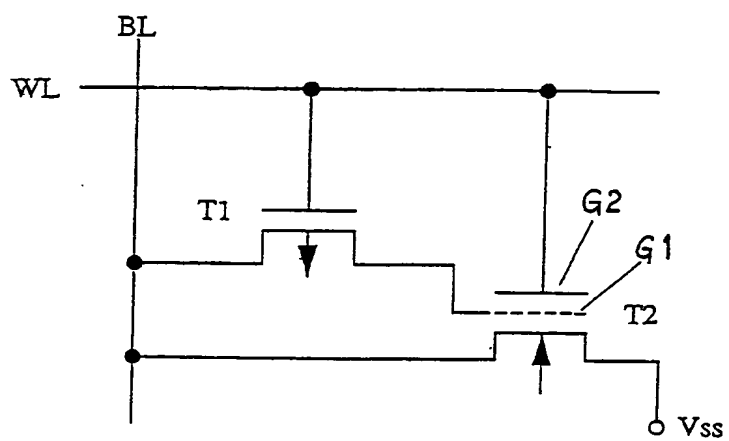


図 2



2 / 2 5

図 3



3 / 2 5

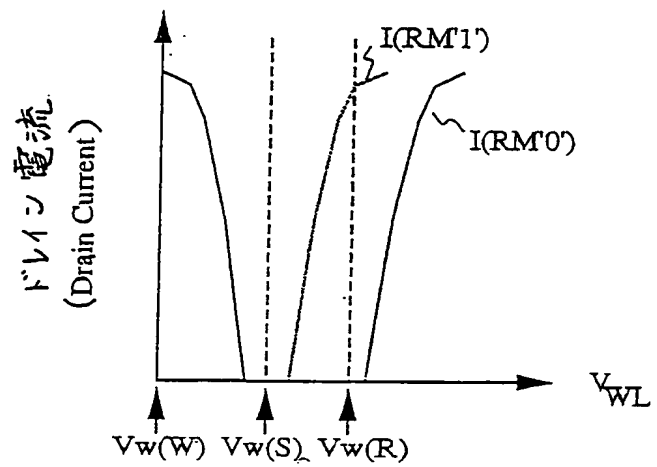
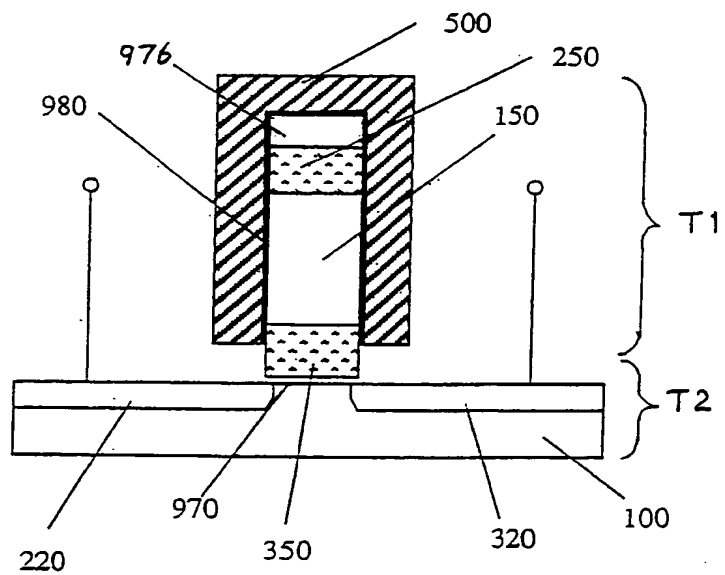


图 5



4 / 25

図 6

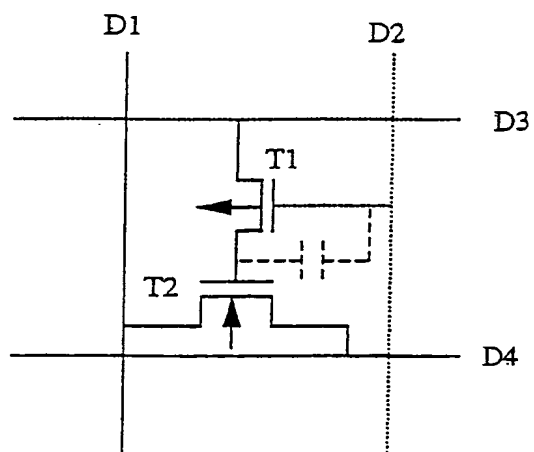


図 7

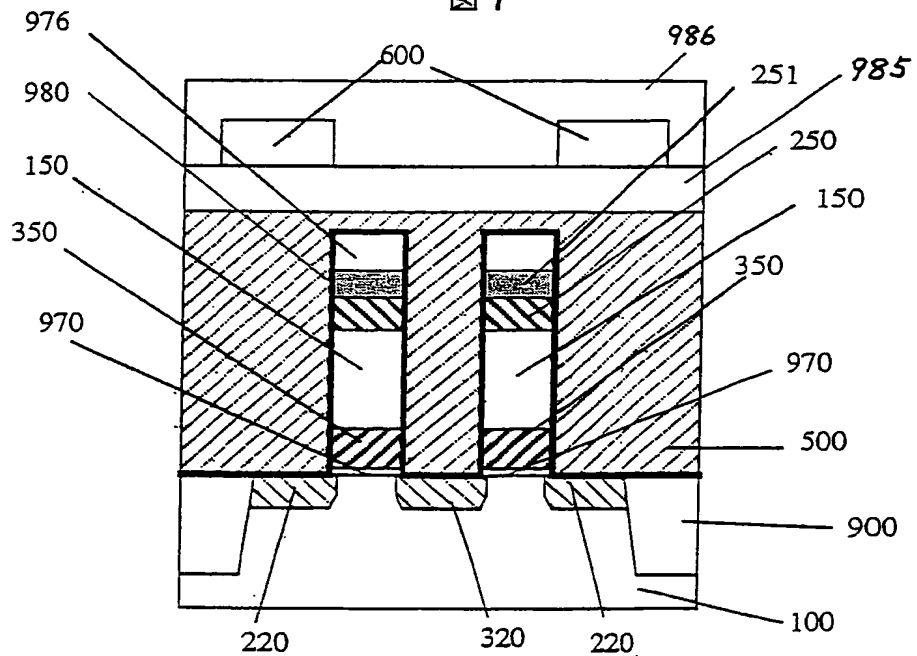


図 8

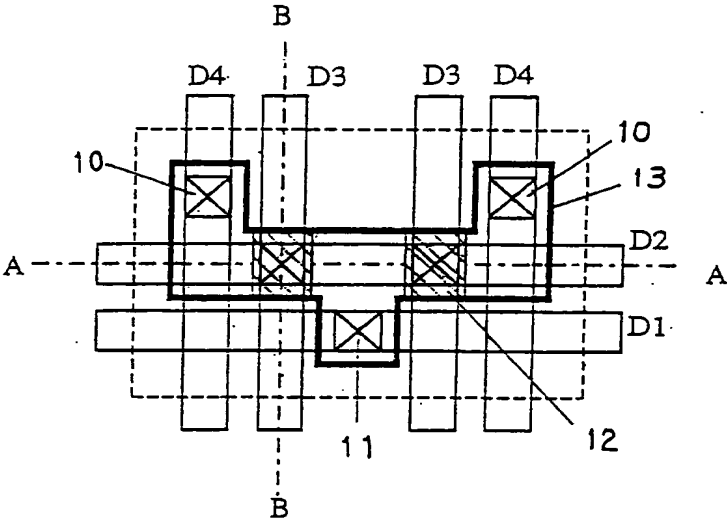
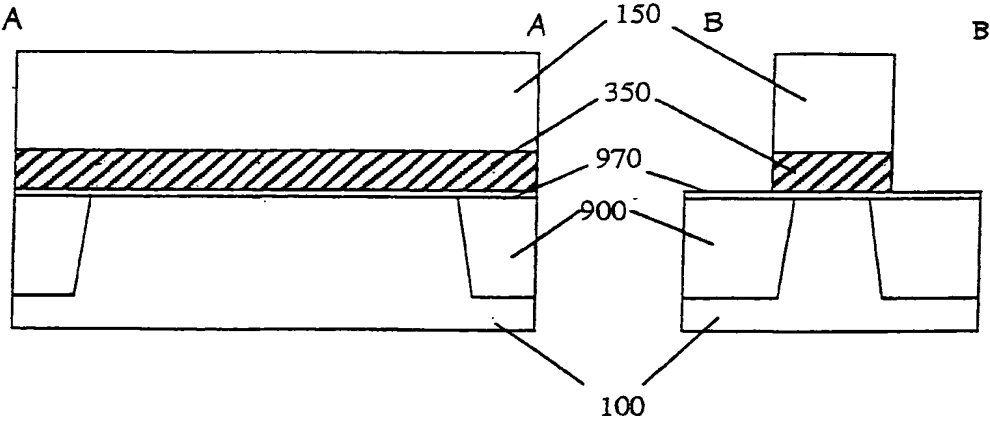


図 9



6 / 2 5

図 10

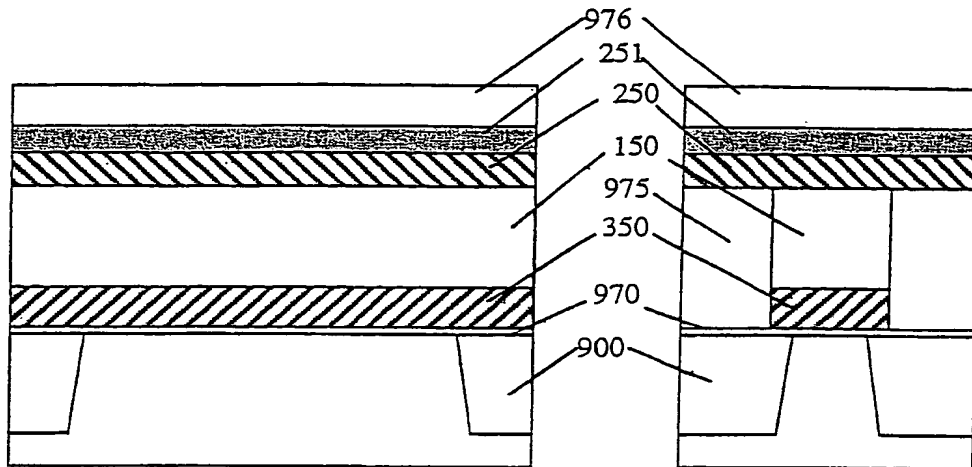
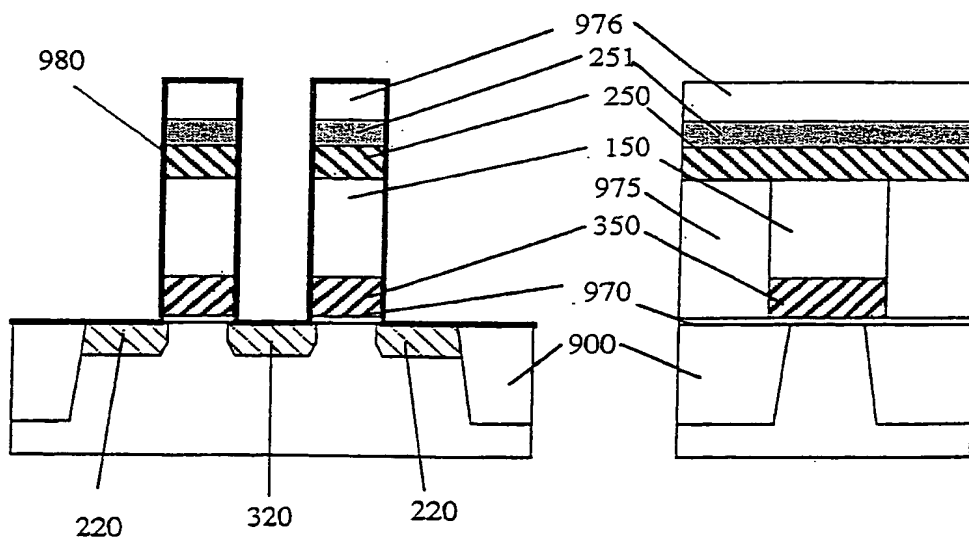


図 11



7 / 2 5

図 12

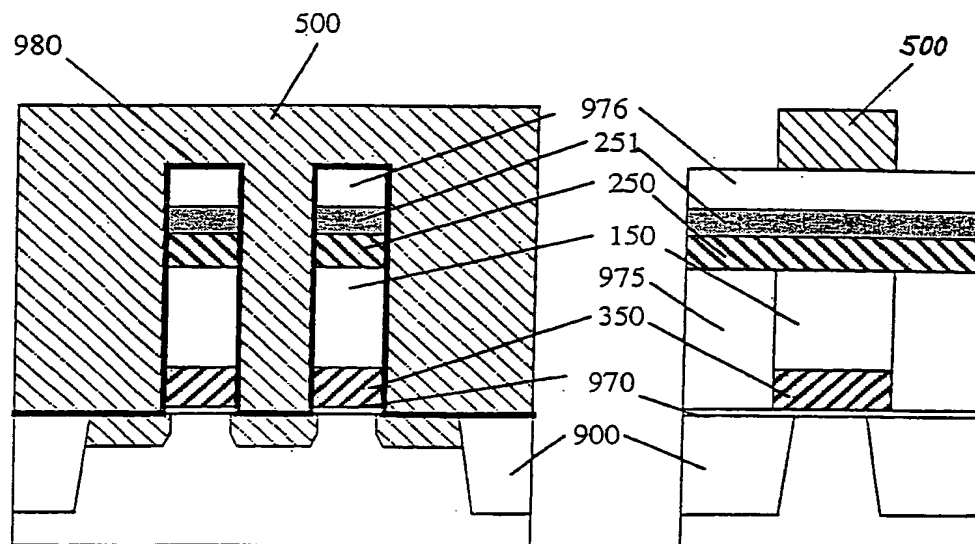
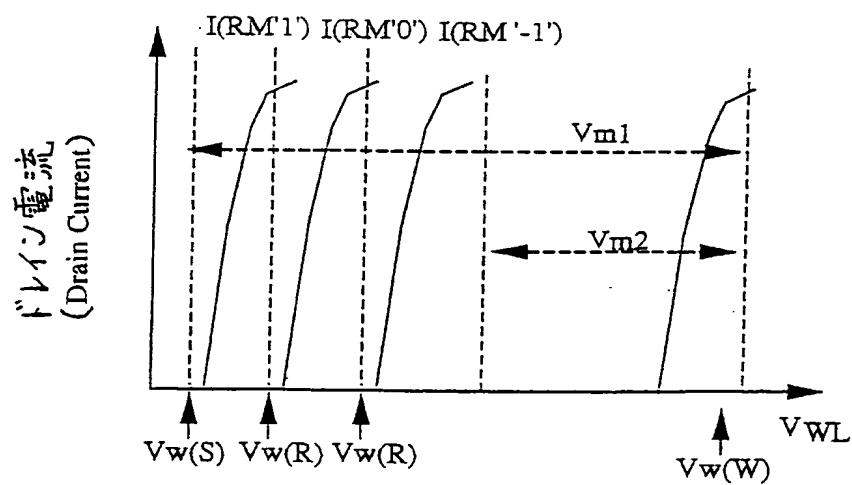
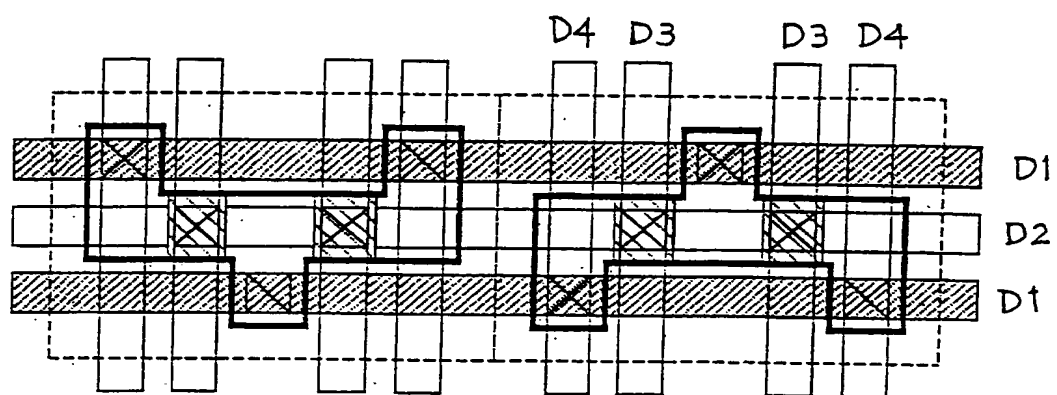


図 13



8 / 2 5

図 14



9 / 2 5

図 15

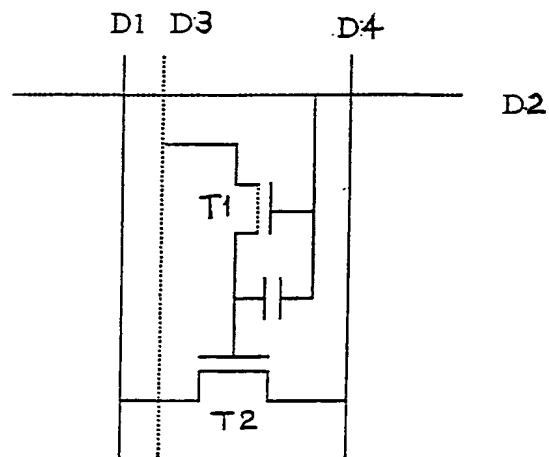
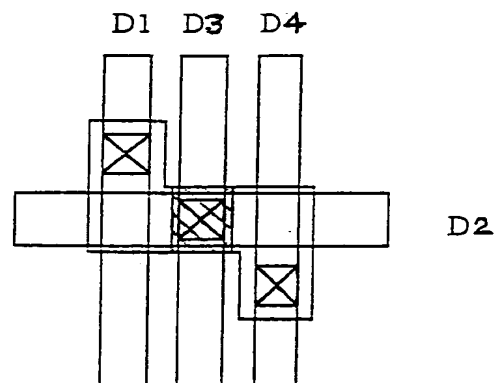


図 16



10/25

図 17

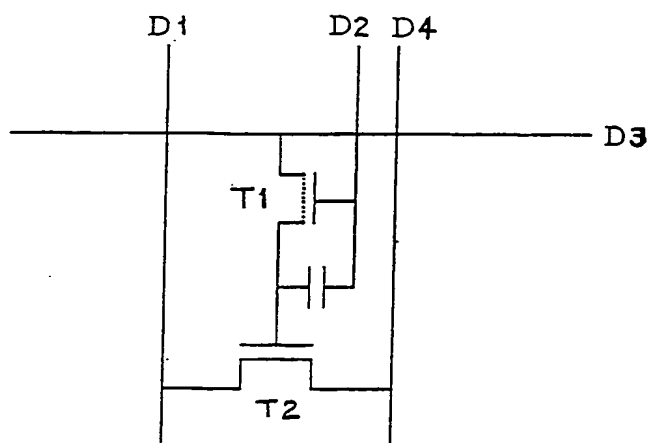
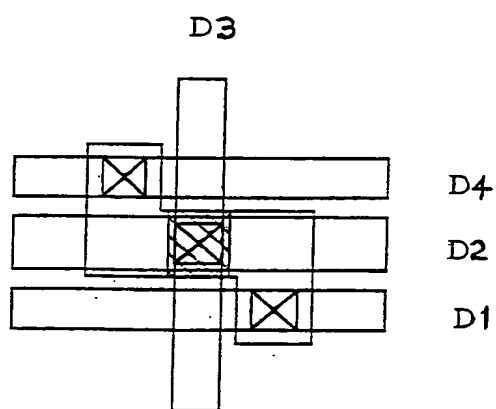


図 18



11 / 25

図 19

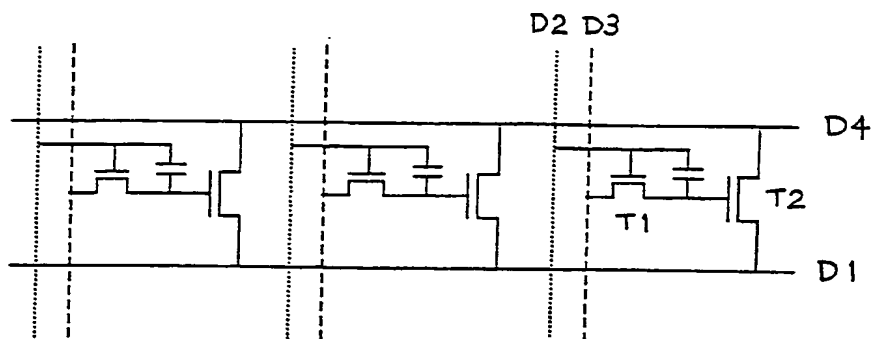


図 20

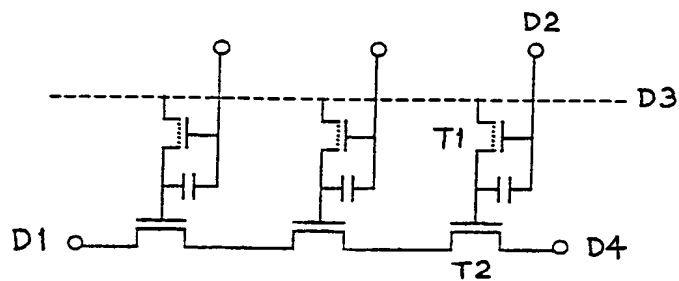
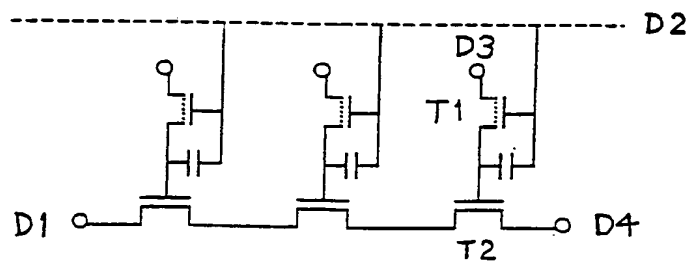
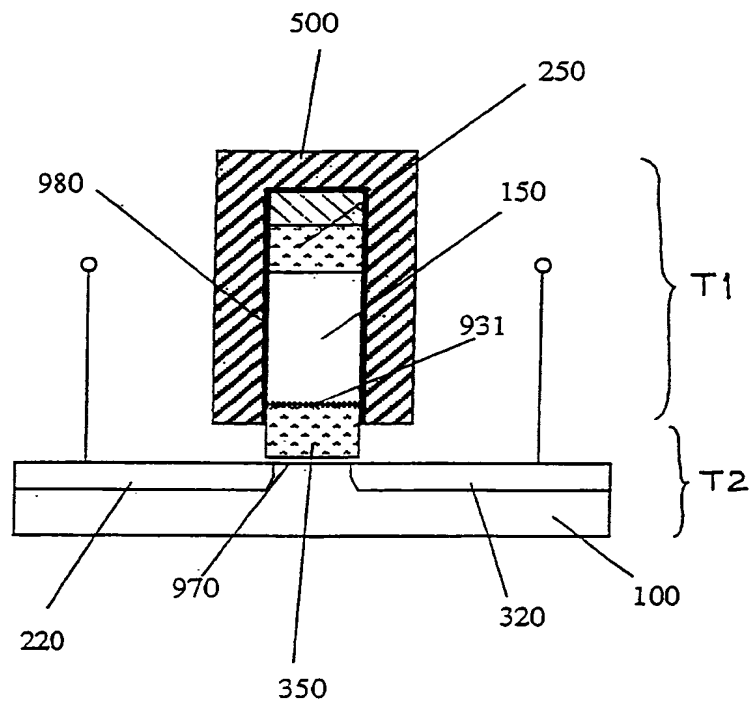


図 21



1 2 / 2 5

図 2 2



1 3 / 2 5

図 23

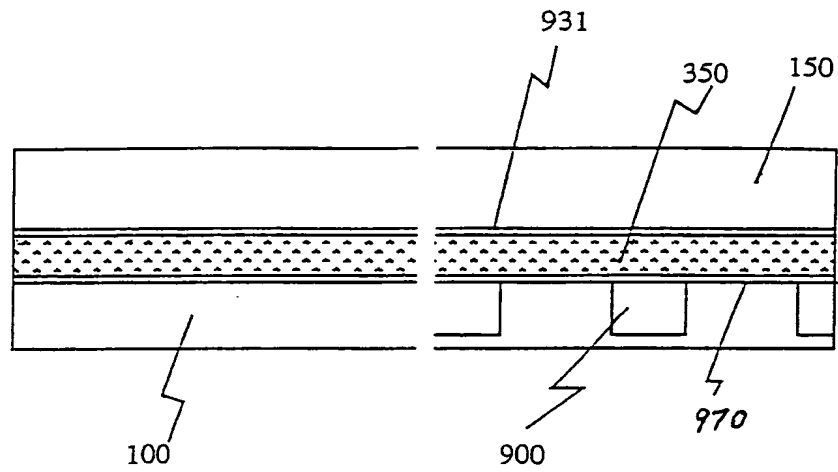


図 24

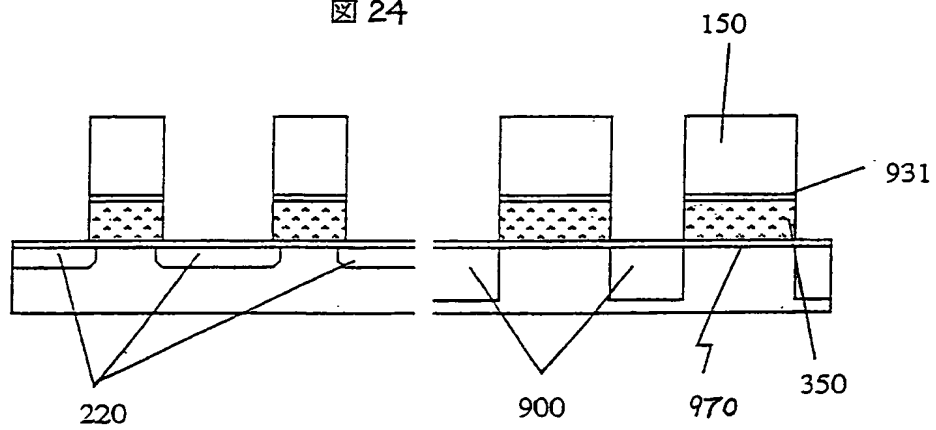


図 25

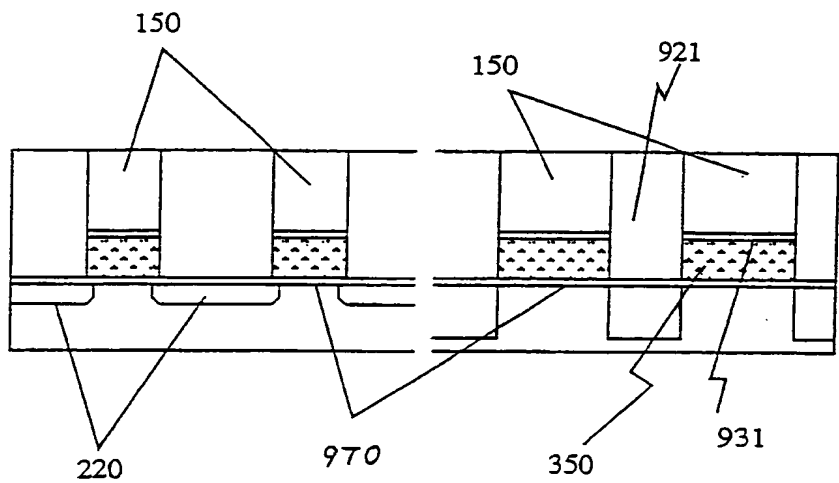
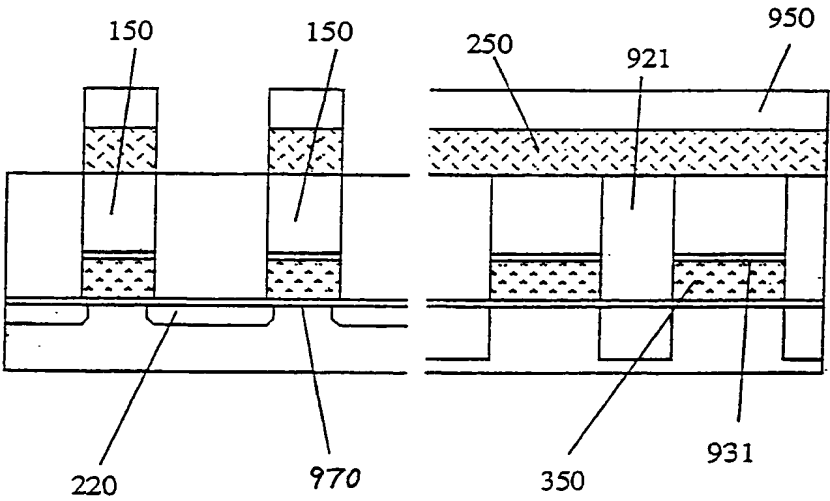


図 26



15 / 25

図 27

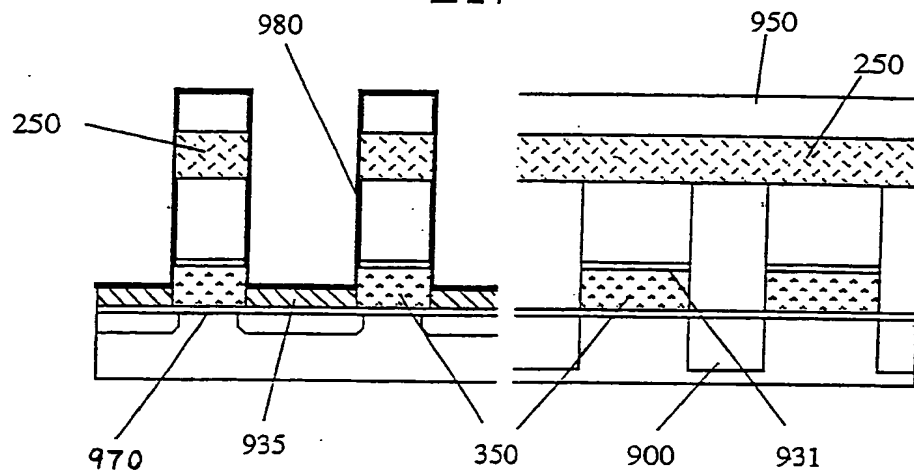
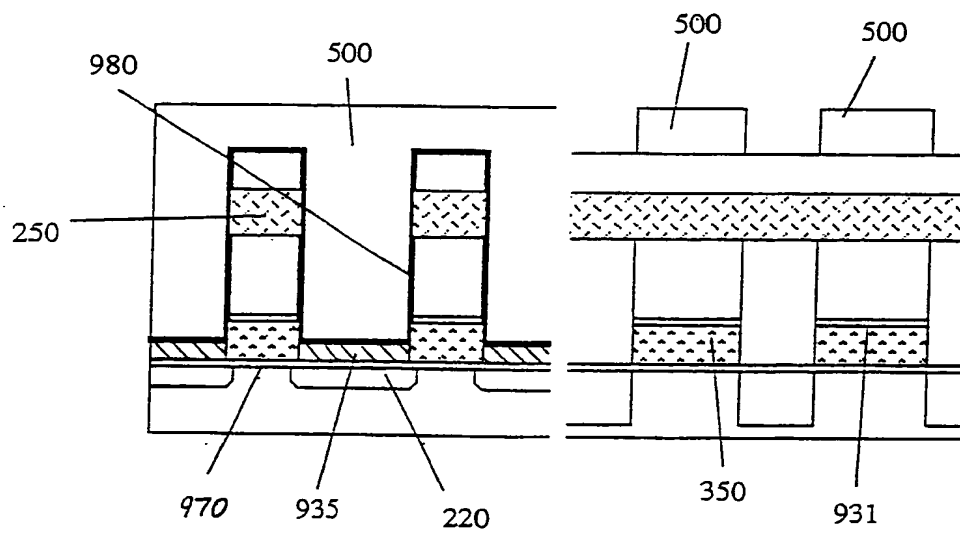


図 28



1 6 / 2 5

図 29

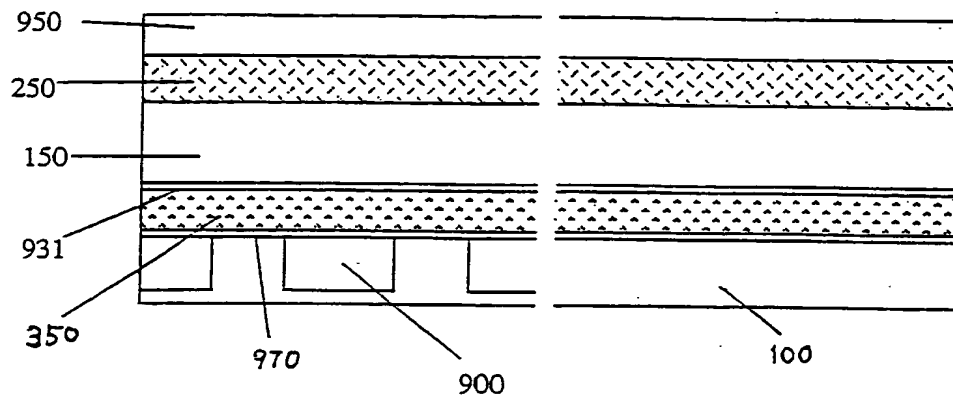


図 30

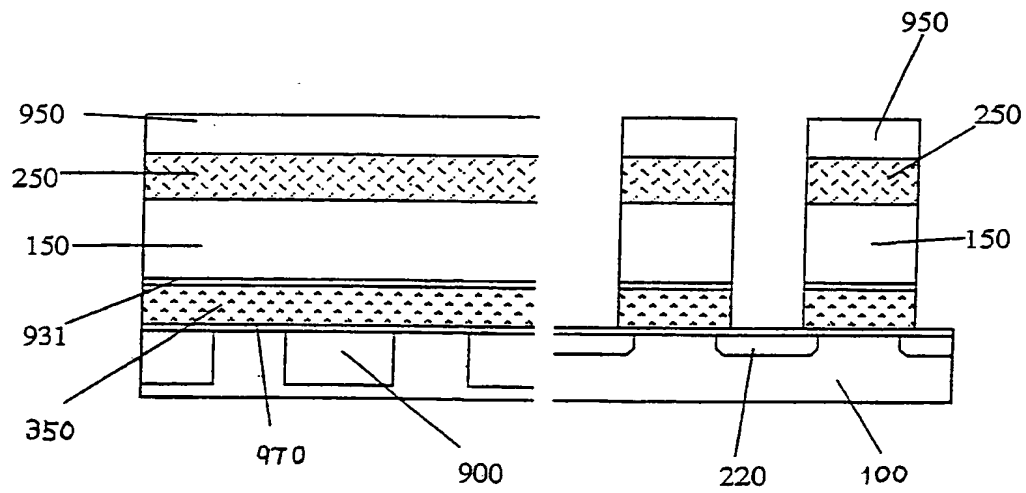


図 31

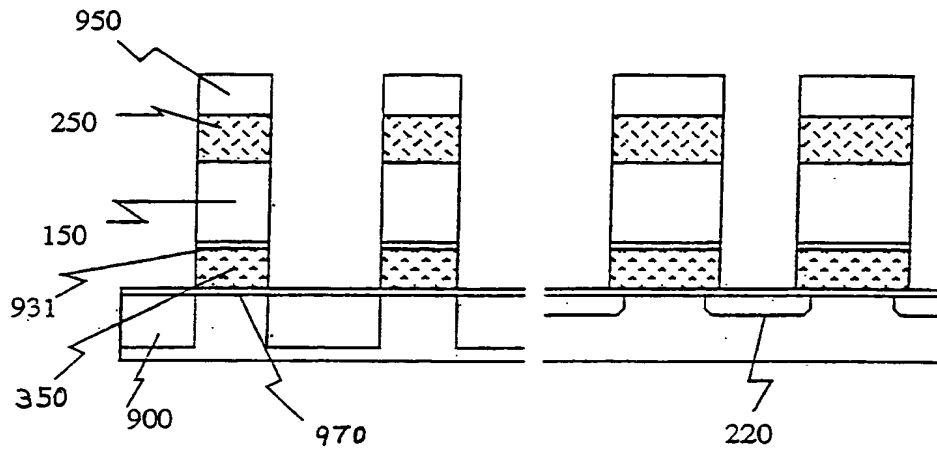
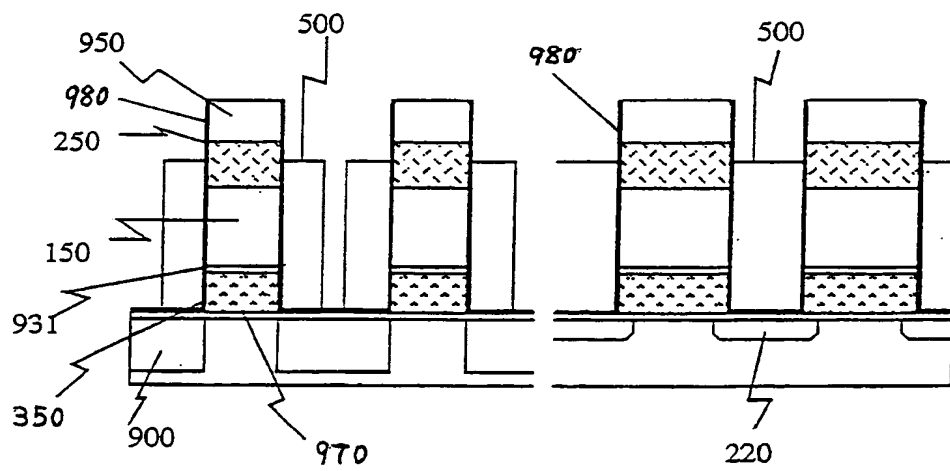


図 32



1 8 / 2 5

図 33

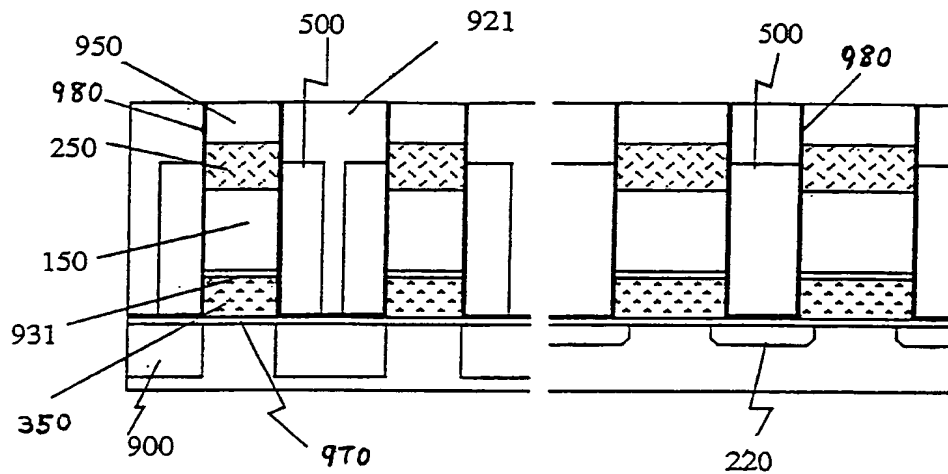
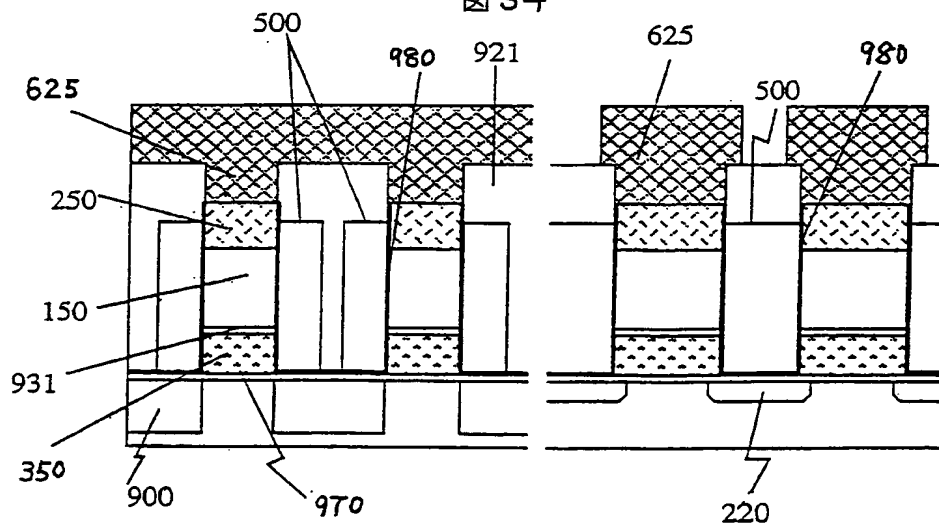


図 34



19/25

図35

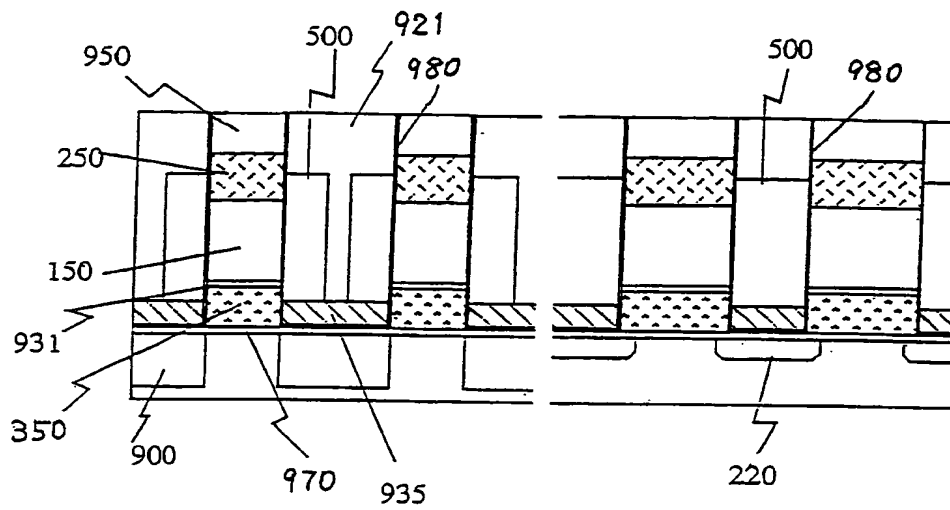
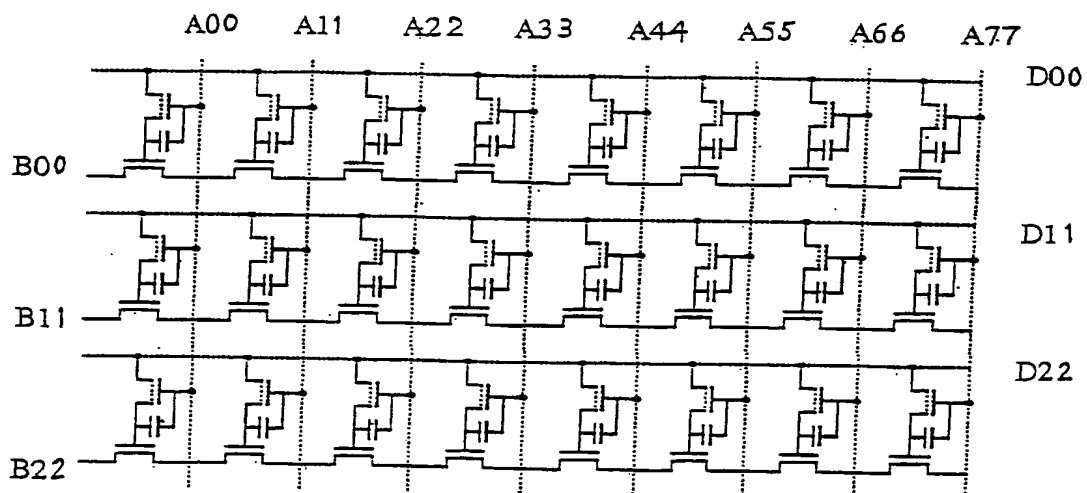
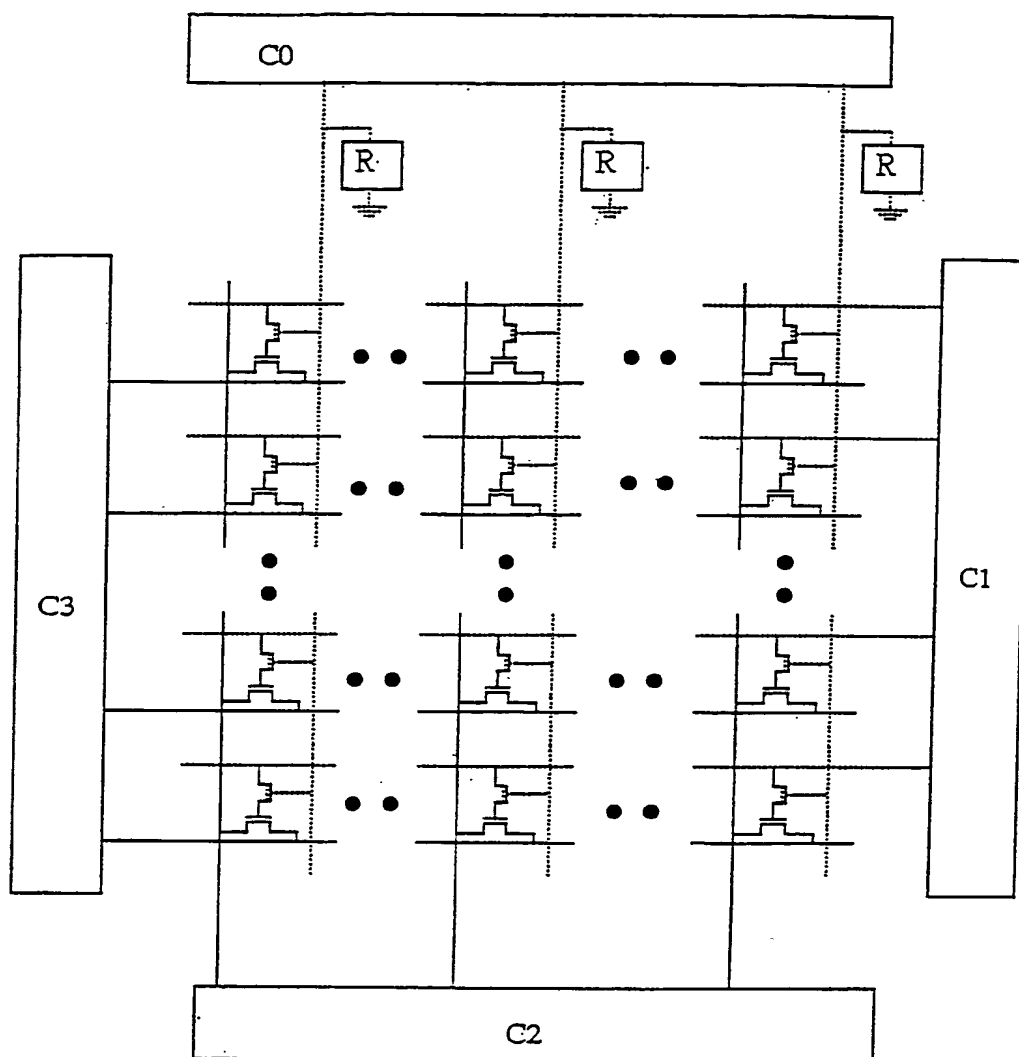


図36



20 / 25

図 37



21 / 25

図 38

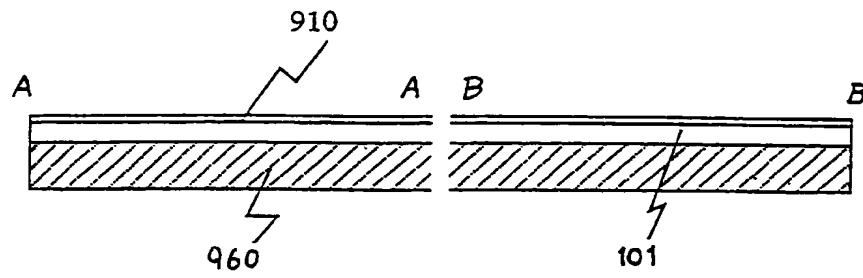


図 39

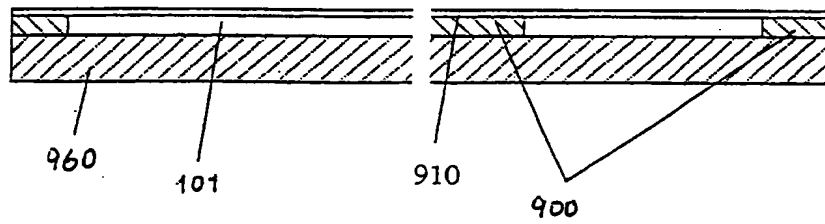
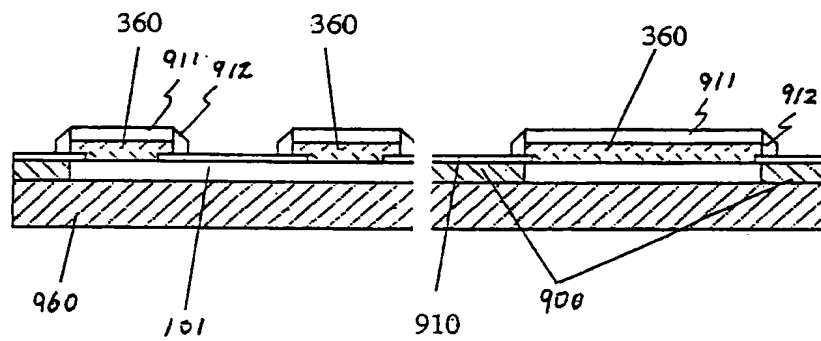


図 40



22 / 25

図41

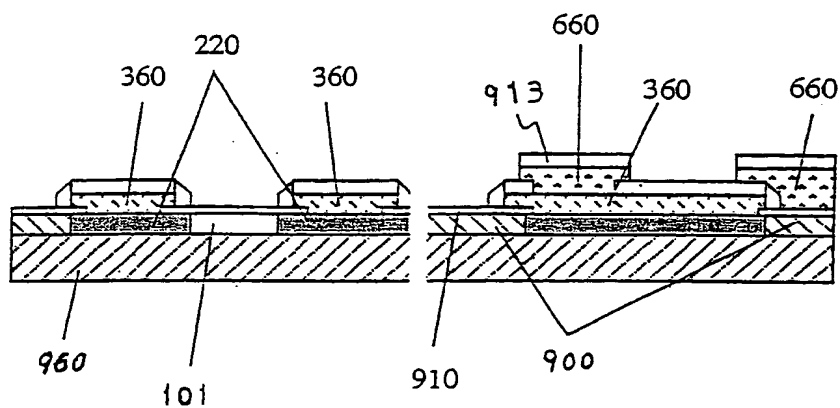


図42

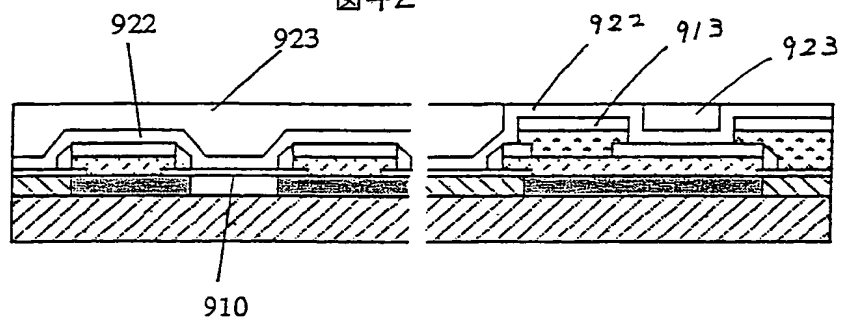
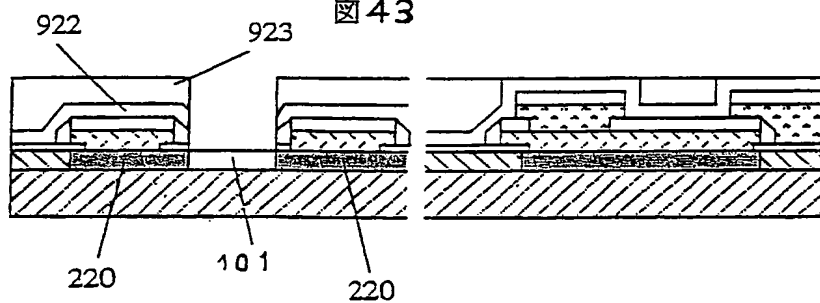


図43



23 / 25

図 44

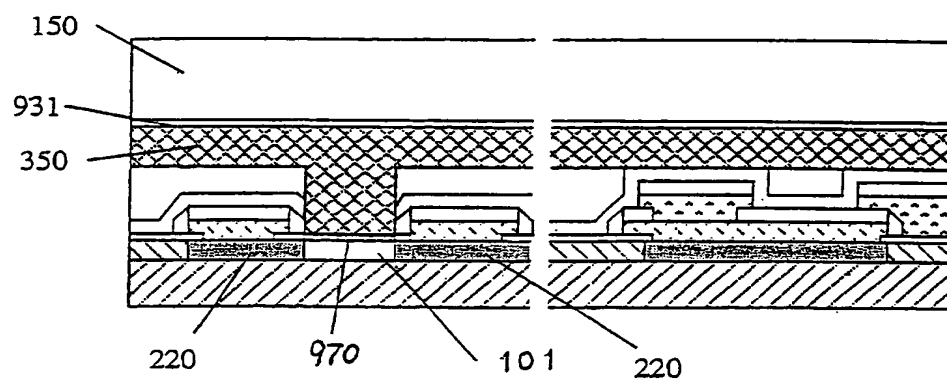
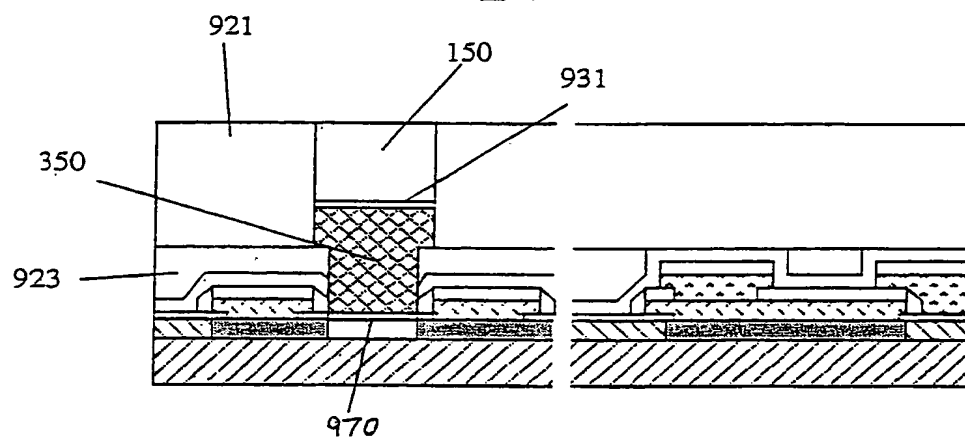


図 45



24 / 25

図 46

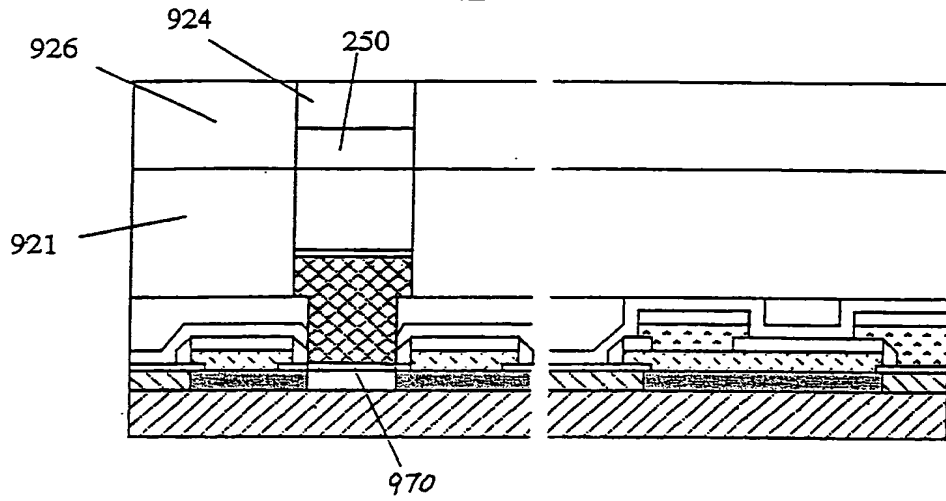
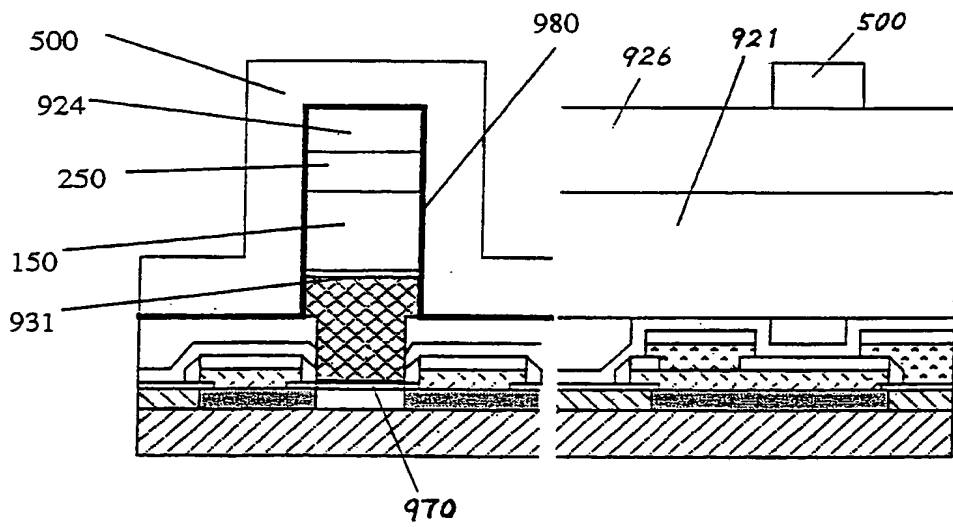


図 47



25 / 25

图 48

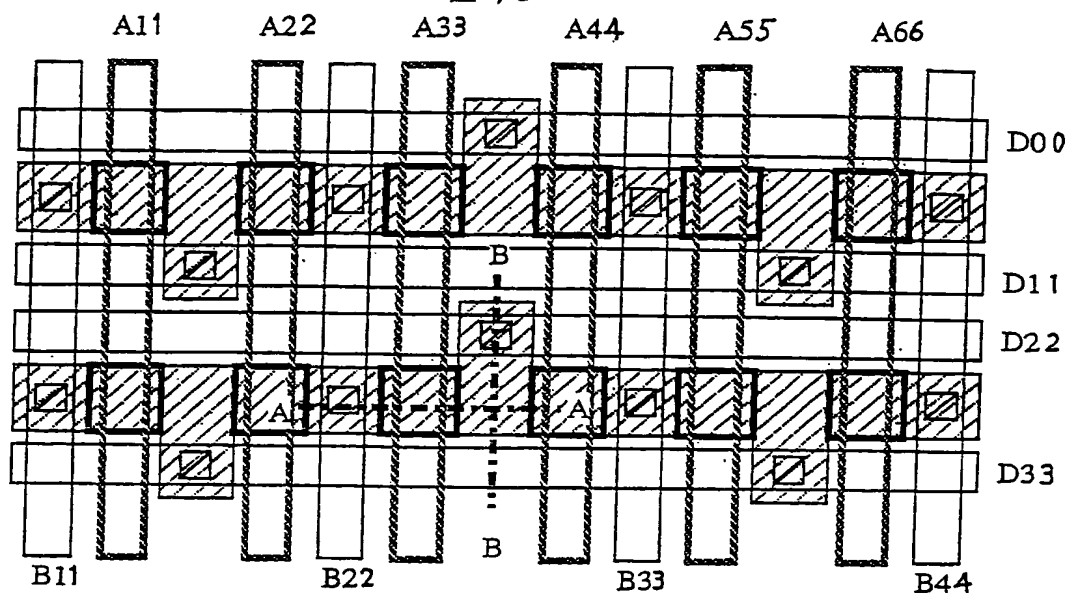
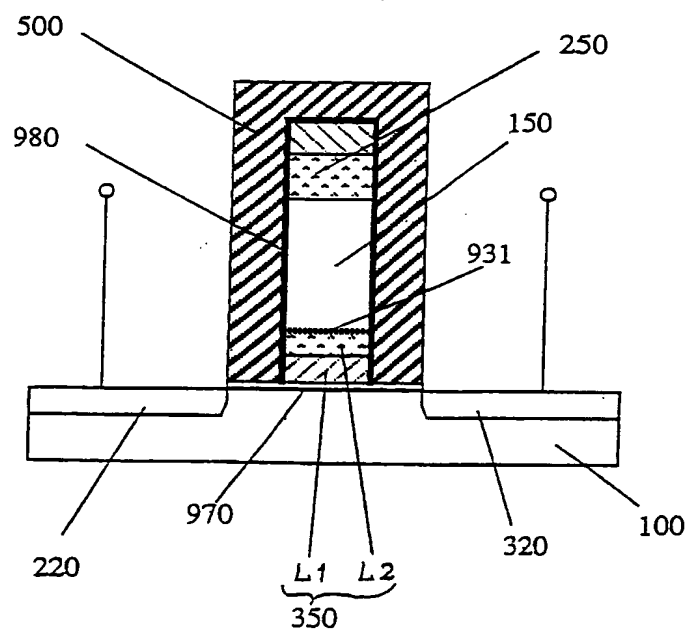


图 49



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP00/03019

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl.⁷ H01L27/108, G11C11/402

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl.⁷ H01L27/108, G11C11/402

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1926-1996 Jitsuyo Shinan Toroku Koho 1996-2000
Kokai Jitsuyo Shinan Koho 1971-2000 Toroku Jitsuyo Shinan Koho 1994-2000

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)
INSPEC, IEEE/IEE Electronic Library

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US, 4920391, A (Oki Electric Industry Co., Ltd), 24 April, 1990 (24.04.90), Full text; Figs. 1, 2 & JP, 01-255269, A	1, 6-8, 10
X	EP, 49326, A (Rockwell International Corporation), 14 April, 1982 (14.04.82), Full text; Fig. 1 & JP, 57-91556, A	1, 6-8
A	1992 International Electron Devices Meeting Technical Digest, pp.1006-1008	1-10
A	Digest of Technical Papers, 1993 Symposium on VLSI Technology, 1993, pp.23-24	1-10
A	Applied Physics Letters, 65(5), 01 August 1994, pp.618-620	2-5
A	JP, 4-299574, A (Toshiba Corporation), 22 October, 1992 (22.10.92) (Family: none)	2-5
A	US, 5159416, A (NEC Corp.),	2-5

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to
"A" document defining the general state of the art which is not	understand the principle or theory underlying the invention
considered to be of particular relevance	document of particular relevance; the claimed invention cannot be
"E" earlier document but published on or after the international filing	considered novel or cannot be considered to involve an inventive
date	step when the document is taken alone
"L" document which may throw doubts on priority claim(s) or which is	document of particular relevance; the claimed invention cannot be
cited to establish the publication date of another citation or other	considered to involve an inventive step when the document is
special reason (as specified)	combined with one or more other such documents, such
"O" document referring to an oral disclosure, use, exhibition or other	combination being obvious to a person skilled in the art
means	document member of the same patent family
"P" document published prior to the international filing date but later	
than the priority date claimed	

Date of the actual completion of the international search
08 August, 2000 (08.08.00)

Date of mailing of the international search report
15 August, 2000 (15.08.00)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP00/03019

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
	<p>27 October, 1992 (27.10.92) & EP, 456059, A & DE, 69121629, E & JP, 5-159416, A</p>	

国際調査報告

国際出願番号 PCT/JPO0/03019

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl' H01L27/108, G11C11/402

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl' H01L27/108, G11C11/402

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926-1996年
 日本国公開実用新案公報 1971-2000年
 日本国実用新案登録公報 1996-2000年
 日本国登録実用新案公報 1994-2000年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

INSPEC, IEEE/IEE Electronic Library

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	US, 4920391, A (Oki Electric Industry Co., Ltd) 2 4. 4月. 1990 (24. 04. 90), 全文, 第1図, 第2図 & JP, 01-255269, A	1, 6-8, 10
X	EP, 49326, A (Rockwell International Corporation) 1 4. 4月. 1982 (14. 04. 82), 全文, 第1図& JP, 57-91556, A	1, 6-8

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

08. 08. 00

国際調査報告の発送日

15.08.00

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

井原 純



4M

9354

電話番号 03-3581-1101 内線 3462

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	1992 International Electron Devices Meeting Technical Digest, pp. 1006-1008	1-10
A	Digest of Technical Papers, 1993 Symposium on VLSI Technology, 1993, pp. 23-24	1-10
A	Applied Physics Letters, 65(5), 1 August 1994, pp. 618-620	2-5
A	JP, 4-299574, A (株式会社東芝) 22. 10月. 1992 (22. 10. 92) (ファミリーなし)	2-5
A	US, 5159416, A (NEC Corp.) 27. 10月. 1992 (27. 10. 92) & EP, 456059, A&DE, 69121629, E&JP, 5-159416, A	2-5